

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003 年 7 月 10 日 (10.07.2003)

PCT

(10) 国際公開番号
WO 03/056563 A1

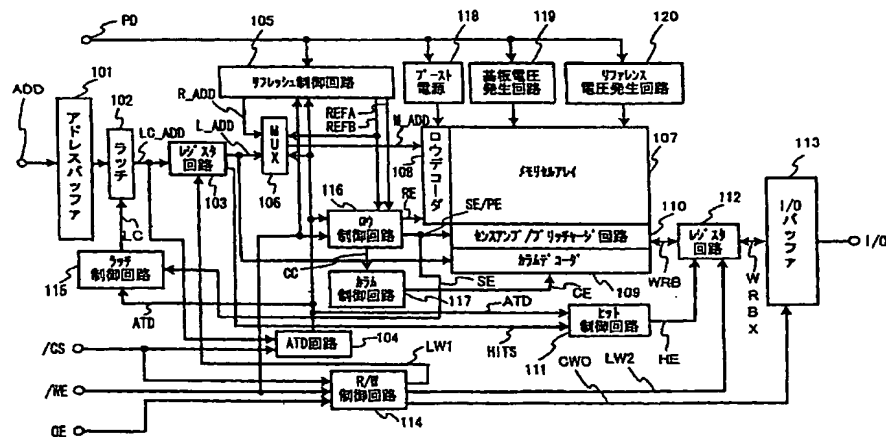
- (51) 国際特許分類⁷: G11C 11/406
- (21) 国際出願番号: PCT/JP02/13555
- (22) 国際出願日: 2002 年 12 月 25 日 (25.12.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2001-397575
2001 年 12 月 27 日 (27.12.2001) JP
- (71) 出願人 (米国を除く全ての指定国について): NEC
エレクトロニクス株式会社 (NEC ELECTRONICS
CORPORATION) [JP/JP]; 〒211-8668 神奈川県 川崎
市 中原区下沼部 1 7 5 3 番地 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 高橋 弘行

(TAKAHASHI, Hiroyuki) [JP/JP]; 〒211-8668 神奈
川県 川崎市 中原区下沼部 1 7 5 3 番地 NECエ
レクトロニクス株式会社内 Kanagawa (JP). 廣田
卓哉 (HIROTA, Takuya) [JP/JP]; 〒211-8668 神奈川
県 川崎市 中原区下沼部 1 7 5 3 番地 NECエ
レクトロニクス株式会社内 Kanagawa (JP). 小松 憲
明 (KOMATSU, Noriaki) [JP/JP]; 〒211-8668 神奈川
県 川崎市 中原区下沼部 1 7 5 3 番地 NECエ
レクトロニクス株式会社内 Kanagawa (JP). 中川 敦
(NAKAGAWA, Atsushi) [JP/JP]; 〒211-8668 神奈川
県 川崎市 中原区下沼部 1 7 5 3 番地 NECエ
レクトロニクス株式会社内 Kanagawa (JP). 高野 将
(TAKANO, Susumu) [JP/JP]; 〒211-8668 神奈川
県 川崎市 中原区下沼部 1 7 5 3 番地 NECエ
レクトロニクス株式会社内 Kanagawa (JP). 吉田 昌弘
(YOSHIDA, Masahiro) [JP/JP]; 〒211-8668 神奈川
県 川崎市 中原区下沼部 1 7 5 3 番地 NECエ
レクトロニクス株式会社内 Kanagawa (JP). 鳥毛 裕二
(TORIGE, Yuuji) [JP/JP]; 〒211-8668 神奈川県 川崎市
中原区下沼部 1 7 5 3 番地 NECエレクトロニクス

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE DEVICE AND REFRESH CONTROL METHOD THEREOF

(54) 発明の名称: 半導体記憶装置およびそのリフレッシュ制御方法



105...REFRESH CONTROL CIRCUIT
118...BOOST POWER SUPPLY
119...SUBSTRATE VOLTAGE GENERATING CIRCUIT
120...REFERENCE VOLTAGE GENERATING CIRCUIT
101...ADDRESS BUFFER
102...LATCH
103...REGISTER CIRCUIT
108...ROW DECODER
107...MEMORY CELL ARRAY

116...ROW CONTROL CIRCUIT
110...SENSE AMPLIFIER/PRECHARGING CIRCUITS
109...COLUMN DECODER
112...REGISTER CIRCUIT
113...I/O BUFFER
115...LATCH CONTROL CIRCUIT
117...COLUMN CONTROL CIRCUIT
104...ATD CIRCUIT
111...BIT CONTROL CIRCUIT
114...R/W CONTROL CIRCUIT

(57) Abstract: The refreshing of the memory cells is periodically executed by use of a refresh timer, and the collision between a memory access and a memory refresh is avoided. During a memory access, a one-shot pulse from an OS circuit (161) sets an F/F (163), and a memory access request is inputted to a memory access pulse

[続葉有]



株式会社内 Kanagawa (JP). 稲葉 秀雄 (INABA, Hideo)
[JP/JP]; 〒211-0063 神奈川県 川崎市 中原区小杉町一
丁目 403 番 53 エヌイーシーマイクロシステム
株式会社内 Kanagawa (JP).

(84) 指定国 (広域): ヨーロッパ特許 (DE, FR, GB, IT).

添付公開書類:
— 国際調査報告書

(74) 代理人: 浜田 治雄 (HAMADA, Haruo); 〒107-0062 東京
都 港区 南青山 3 丁目 4 番 12 号 知恵の館 Tokyo
(JP).

(81) 指定国 (国内): CN, KR, US.

2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

generating circuit (171) via a NOR gate (167), and a latch control signal (LC) and an enable signal (REN) are outputted. When a refresh request from a refresh timer is inputted to an AND gate (168) during the memory access, the output of the NOR gate (167) is "L" level, so that the refresh request is blocked by the AND gate (168). Thereafter, when the latch control signal (LC) becomes "L" level, F/Fs (163, 164, 165) are reset and the output of the NOR gate (167) becomes "H" level, so that the refresh request is inputted to a refresh pulse generating circuit (170) and a refresh enable signal (RERF) is outputted.

(57) 要約:

メモリセルのリフレッシュをリフレッシュタイマーにより周期的に実行し、
かつメモリアクセスとメモリリフレッシュの衝突を回避する。

メモリアクセスがあると OS 回路 161 からのワンショットパルスにより
F/F163 がセットされ、NOR ゲート 167 を介してメモリアクセス要求がメモリア
クセス用パルス発生回路 171 に入力され、ラッチコントロール信号 LC とイ
ネーブル信号 REN が出力される。リフレッシュタイマーからのリフレッシュ要
求が AND ゲート 168 に入力されたときメモリアクセス中であると NOR ゲート
167 の出力は "L" レベルでありリフレッシュ要求は AND ゲート 168 で阻止さ
れる。その後ラッチコントロール信号 LC が "L" レベルとなる時点で
F/F163, 164, 165 がリセットされ、NOR ゲート 167 の出力が "H" レベルとな
り、リフレッシュ要求がリフレッシュ用パルス発生回路 170 に入力されてリフ
レッシュイネーブル信号 RERF が出力される。

明細書

半導体記憶装置およびそのリフレッシュ制御方法

技術分野

本発明は、メモリセルアレイがDRAMで構成され、かつ、半導体記憶装置の外部から見たときに汎用のSRAMと同様の仕様で動作するように構成した半導体記憶装置およびそのリフレッシュ制御方法に関する。

従来技術

ランダムアクセス可能な半導体記憶装置の代表的なものとしてSRAMおよびDRAMがある。SRAMはDRAMと比較して読み出し・書き込み動作が高速であり、またDRAMのようにリフレッシュ動作が不要であることから、その取り扱いが容易であるとともにスタンバイ状態におけるデータ保持電流が小さいという長所がある反面、SRAMを構成するには1メモリセル当たり6個のトランジスタを必要とするため、DRAMよりもチップサイズが大きくなり価格も高くなるという問題がある。

これに対して、DRAMのメモリセルはキャパシタ1個とトランジスタ1個で構成可能であるため、小さなチップサイズで大容量のメモリを構成することができ、また、同じ記憶容量の半導体記憶装置を構成するのであればSRAMよりもDRAMの方が安価になる。しかしながら、DRAMは、アドレスとして行アドレスおよび列アドレスを分けて別々に与え、これらアドレスの取り込みタイミングを規定する信号としてRAS（行アドレスストロープ）信号およびCAS（列アドレスストロープ）信号を必要とすること、定期的にメモリセルをリフレッシュするための制御回路が必要になることから、SRAMに比べてタイミング制御が複雑になり、また消費電流が大きくなってしまいうという問題がある。

ところで、携帯電話機などに代表される携帯型電子機器に採用されている半導体記憶装置は現状ではSRAMが主流である。これは、SRAMはスタンバ

イ電流が小さく低消費電力であるため、連続通話時間・連続待ち受け時間をできるだけ延ばしたい携帯電話機に向いており、またこれまでの携帯電話機には簡単な機能しか搭載されていなかったためにそれほど大容量の半導体記憶装置を必要としなかったこと、タイミング制御などの点でSRAMは扱いが容易であることなどがその理由である。

一方、最近の携帯電話機は、電子メールの送受信機能や、インターネット上のWEBサーバにアクセスしてホームページの内容を簡略化して表示するような機能も搭載されており、将来的には現在のパソコン等と同様にインターネット上のホームページ等へ自由にアクセスできるようになることも想定される。このような機能を実現するためには、多様なマルチメディア情報をユーザへ提供するためのグラフィック表示が不可欠となり、公衆網などから受信した大量のデータを携帯電話機内に一時的に蓄えておくために大容量の半導体記憶装置を備える必要性が生じてくる。

他方で、携帯型電子機器は小型、軽量、かつ低消費電力という要請があるため、半導体記憶装置を大容量化しても機器そのものの大型化、重量化および消費電力の増加は避けねばならない。従って、携帯型電子機器に搭載される半導体記憶装置としては、扱いの簡便さや消費電力を考えるとSRAMが好ましいが、大容量の観点からはDRAMが好ましいことになる。つまり、これからの携帯型電子機器にはSRAMおよびDRAMの長所をそれぞれ取り入れた半導体記憶装置が最適であるといえる。

このような半導体記憶装置として、DRAMに採用されているものと同じメモリセルを使用しながら、外部から見たときにSRAMとほぼ同様の仕様を持った「疑似SRAM」と呼ばれるものが提案されている（例えば、特開昭61-5495号公報、特開昭62-188096号公報、特開昭63-206994号公報、特開平4-243087号公報あるいは特開平6-36557号公報等）。

しかしながらこの疑似SRAMは、メモリセルそのものはDRAMと同じであるから、メモリセルに記憶されているデータを保持するためには常にリフレッシュ動作を行う必要がある。そのため、例えば上記特開平4-243087

号公報あるいは特開昭63-206994号公報に記載された疑似SRAMでは、外部から読み出しあるいは書き込み要求があった場合、先ず初めにリフレッシュを実施してから当該読み出し要求あるいは書き込み要求に対応したメモリセルの読み出しあるいは書き込みを行っている。従って、メモリセルの読み出し動作あるいは書き込み動作のタイミングがリフレッシュ動作に必要な時間だけ遅れてしまうという問題がある。

また、上記特開昭61-5495号公報、特開昭62-188096号公報あるいは特開平6-36557号公報に記載された疑似SRAMでは、内部にリフレッシュ用のタイマーを備え、所定のリフレッシュ時間が経過した時点でリフレッシュスタート要求を発生させて、読み出しが完了した後にリフレッシュを行うようにしており、読み出し動作に関しては上記のような時間遅れは生じないが、書き込みタイミングを決定する書込イネーブル信号がどのようなタイミングで与えられるのかについての記載はなく、書き込み動作の場合には次のような問題を生じる可能性がある。

すなわち、疑似SRAMを汎用SRAMと同じ仕様で動作させようとした場合、書き込みイネーブル信号や書き込みデータはアドレスの変化に対して非同期に与えられることになるため、書き込みアドレスが確定していても書き込みイネーブル信号及び書き込みデータがともに確定するまでは、実際にメモリへの書き込み動作を開始させることができない。つまり、書き込みイネーブル信号と書き込みデータが確定するまでは何の動作も行われない空き時間となってしまう、これらが確定して初めて書き込みおよびリフレッシュが順次行われることになる。このため、上記リフレッシュを実施してから書き込みを行う構成と比べた場合、空き時間の分だけメモリサイクルが長くなってしまうという欠点がある。

このようなリフレッシュによって通常の読み出し・書き込みアクセスが遅くなるという問題を解消するという観点から、出願人は、リフレッシュを必要とするメモリセルで構成されたメモリセルアレイを有し、アクセスアドレスに対して書き込み要求及び書き込みデータが非同期的に与えられる半導体記憶装置において、アクセスアドレスに対する読み出し又は書き込みを行った後に、リ

フレッシュ動作を行うとともに、前記書き込み要求が与えられたメモリサイクルよりも後の時点において、該メモリサイクルで与えられた前記アクセスアドレス及び前記書き込みデータを用いた書き込みをレイトライト (Late Write) で行うようにした半導体記憶装置を、特願 2 0 0 1 - 1 0 5 8 3 7 号 (特開 2 0 0 1 - 3 5 7 6 7 1 号、国際特許出願公開公報 W O 0 1 / 7 8 0 7 9 A 1) において提案している。

図 1 は上記特願 2 0 0 1 - 1 0 5 8 3 7 号において提案されている半導体記憶装置の例を示すブロック図であり、図 2 は該半導体記憶装置のレイトライト動作及びリフレッシュ動作を示すタイミングチャートである。

これら図 1 及び図 2 において、アドレス Add は半導体記憶装置外部から供給されるアクセスアドレスである。メモリセルアレイ 1 0 7 が行列状に配列されていることに対応して、アドレス Add は行アドレスおよび列アドレスを含んでいる。アドレスバッファ 1 0 1 はこのアドレス Add をバッファリングして出力する。ラッチ 1 0 2 は、ラッチコントロール信号 LC が“L”レベルである間 (ラッチコントロール信号 LC が立ち下がったときから次に立ち上がるまでの間) はアドレスバッファ 1 0 1 から供給されているアドレスをそのまま内部アドレス LC-ADD として出力する。また、ラッチ 1 0 2 はアドレスバッファ 1 0 1 から供給されているアドレスをラッチコントロール信号 LC の立ち上がりで取り込んでラッチコントロール信号 LC が“H”レベルである間これを保持するとともに、保持しているアドレスを内部アドレス LC-ADD として出力する。

R/W制御回路 1 1 4 からレジスタ回路 1 0 3 および 1 1 2 に供給される制御信号 LW1 および LW2 は何れも前記のレイトライト動作を制御するための信号である。これら制御信号は何れもレイトライトを行う場合に“H”レベルに設定され、そうでない場合には“L”レベルに設定される。レジスタ回路 1 0 3 はアドレス Add のビット幅に等しいアクセスアドレスを保持するためのレジスタ (以下、アドレスレジスタ) を内蔵している。従って、制御信号 LW1 が“L”レベルであれば、レジスタ回路 1 0 3 は入力された内部アドレス LC-ADD をそのまま内部アドレス L-ADD として出力する。一方、制御信号 LW1 が“H”レベルであれば、レジスタ回路 1 0 3 は内部アドレス LC-ADD ではなくアドレス

レジスタに保持されているアドレスを内部アドレス L-ADD として出力する。

また、レジスタ回路 1 0 3 は制御信号 LW1 の立ち下がりエッジにおいて、次のレイトライトのために内部アドレス LC-ADD を内部のレジスタに取り込む。さらに、レジスタ回路 1 0 3 は入力された内部アドレス LC-ADD とアドレスレジスタが保持するアドレスをビット毎に比較するコンパレータを備えており、このコンパレータは両者の全ビットが一致した場合にはヒット信号 HITS として“H”レベルを出力し、何れか1ビットでも不一致であれば“L”レベルを出力する。このヒット信号 HITS は半導体記憶装置外部から見たデータコヒーレンシ(Data Coherency)を保つためのバイパス動作に用いられる。

この半導体記憶装置で採用されているレイトライトでは、書き込み要求があったメモリサイクルよりも後のメモリサイクルで実際にメモリセルへの書き込みが行われる。つまり、書き込み要求のあったメモリサイクルでは、書き込みアドレス及び書き込みデータを一旦レジスタ回路 1 0 3 のアドレスレジスタ及びレジスタ回路 1 1 2 のデータレジスタに取り込んでおく。そして、次に書き込みの要求が入力されたメモリサイクルで取り込んでおいたアドレス及びデータをもとにメモリセルアレイ 1 0 7 へ書き込みを行う。従って、現実にはメモリセルアレイ 1 0 7 へ書き込みが行われるまでの間に、書き込み要求のあったアドレスに対して読み出し要求があった場合、この時点ではデータが未だメモリセルアレイ 1 0 7 には書かれておらずレジスタ回路 1 1 2 にのみ存在する。

このため、メモリセルアレイ 1 0 7 から読み出しを行ってしまうと、書き込み前の古いデータを半導体記憶装置外部へ出力してしまうことになる。そこでこのような場合には、メモリセルアレイ 1 0 7 をバイパスしてレジスタ回路 1 1 2 に格納されているデータを出力する。このような状況を検出するために、内部アドレス LC-ADD とレジスタ回路 1 0 3 内のアドレスレジスタを照合して、未だメモリセルアレイ 1 0 7 に書き込まれていないアドレスに対して外部から読み出し要求が入力されたことを上記レジスタ回路 1 0 3 内のコンパレータにより検出する。A T D (Address Transition Detector ; アドレス変化検出) 回路 1 0 4 は、チップセレクト信号/CS (記号“/”は負論理を意味している) が有効 (“L”レベル) である場合に、内部アドレス LC-ADD が変化しているかど

うかを検出する。

そして内部アドレス LC-ADD の何れか 1 ビットにでも変化が認められる場合、ATD 回路 104 はこの変化を検出した時点からアドレススキュー期間に相当する時間が経過したのちに、アドレス変化検出信号 ATD として正のワンショットパルスを発生させる。チップセレクト信号/CS は当該半導体記憶装置がアクセスされる場合に有効化される選択信号である。ATD 回路 104 内部では、アドレスの各ビットが変化するかあるいはチップセレクト信号/CS が有効となった場合にそれぞれパルスを発生させ、これらパルスを合成することでワンショットパルスを生成する。このため、アドレス Add にスキューがあっても複数のアドレス変化検出信号が生成されてしまう恐れはない。それ故、複数のメモリセルに対して書き込みが行われ、あるいは複数のメモリセルからの読み出しが同時に行われてしまってメモリセルのデータが破壊されてしまうといった状態は生じない。

また、スキューが大きい場合にはアドレススキュー期間も長くなって、それだけアドレス変化検出信号 ATD としてワンショットパルスが発生するのが遅れ、アクセスタイムが大きくなるが、汎用 SRAM の仕様上、アクセスタイムはアドレス Add が確定した時点を基準とした値になっているので、アドレス Add の各ビットのうち最後に変化したビットからのアクセスタイムが保証されていれば良く、アドレススキュー期間経過後にアクセスを開始するようにしても動作遅れとはならない。アドレス変化検出信号 ATD のワンショットパルスが立ち上がった時点からアドレス Add に対する読み出しまたは書き込みが開始され、その後にワンショットパルスが立ち下がった時点からリフレッシュが開始される。このため、アドレス変化検出信号 ATD のワンショットパルスのパルス幅は読み出し又は書き込みを完了させるのに必要な時間以上に設定される。

また、アドレススキュー期間の長さは、アドレス Add の各ビットおよびチップセレクト信号/SC の間に存在するスキューの最大値と一致させるか、あるいは余裕を見込んでこのスキューの最大値よりも若干大きな値に設定される。スキューは上述したような理由から生じるため、スキューの最大値は半導体記憶装置が適用されるシステム全体の特性に基づいて予め試算して決定される。リフ

レッシュ制御回路105はアドレスカウンタ（リフレッシュカウンタ）及びリフレッシュタイマーを内蔵している。リフレッシュ制御回路105はこれらとアドレス変化検出信号ATD、書き込みイネーブル信号/W_{TE}を利用して半導体記憶装置内部のリフレッシュを制御することにより、リフレッシュアドレス及びリフレッシュタイミングを半導体記憶装置内部で自動的に発生させ、汎用DRAMにおけるセルフリフレッシュと同様のリフレッシュを実現している。

アドレスカウンタはDRAMメモリセルをリフレッシュするためのリフレッシュアドレスR-ADDを順次生成する。リフレッシュアドレスR-ADDはアドレスAddに含まれる行アドレスと同じビット幅を持っている。リフレッシュタイマーは半導体記憶装置の外部から最後にアクセス要求があつてからの経過時間を計時しており、それが所定のリフレッシュ時間を越えた場合に半導体記憶装置内部でセルフリフレッシュを起動させる。そのため、リフレッシュタイマーはアドレス変化検出信号ATDが有効となる度にリセットされて計時を再開するように構成されている。マルチプレクサ（MUX）106は、アドレス変化検出信号ATD及びリフレッシュ制御信号REFBのレベルに応じて、アドレス変化検出信号ATDが“H”レベルかつリフレッシュ制御信号REFBが“H”レベルであれば内部アドレスL-ADDに含まれる行アドレスを選択してこれをアドレスM-ADDとして出力する。

一方、アドレス変化検出信号ATDが“L”レベルであるかまたはリフレッシュ制御信号REFBが“L”レベルであれば、リフレッシュアドレスR-ADDを選択してアドレスM-ADDとして出力する。メモリセルアレイ107は汎用DRAMと同様のメモリセルアレイであつて、行方向、列方向にそれぞれワード線、ビット線（またはビット線対）が走っており、DRAMと同様の1トランジスタ1キャパシタから成るメモリセルがワード線及びビット線の交点の位置に行列状に配置されて構成されている。ロウデコーダ108は、ロウイネーブル信号REが“H”レベルのときにアドレスM-ADDをデコードし、このアドレスM-ADDで指定されたワード線を活性化させる。ロウイネーブル信号REが“L”レベルであるとき、ロウデコーダ108は何れのワード線も活性化させない。

カラムデコーダ109はカラムイネーブル信号 CE が“H”レベルとなっていてときに内部アドレス L-ADD に含まれる列アドレスをデコードし、この内部アドレス L-ADD で指定されたビット線を選択するためのカラム選択信号を生成する。カラムイネーブル信号/CE が“L”レベルであるときは、カラムデコーダ109はどのビット線に対応するカラム選択信号も生成しない。センスアンプ／プリチャージ回路110は、センスアンプ、カラムスイッチおよびプリチャージ回路から構成されている。カラムスイッチは、カラムデコーダ109の出力するカラム選択信号で指定されたセンスアンプとバスWRBの間を接続する。センスアンプは、センスアンプイネーブル信号 SE が“H”レベルであるとき、アドレス Add で特定されるメモリセルの接続されたビット線電位をセンス・増幅してバスWRBに出力し、あるいは、バスWRBに供給された書き込みデータをビット線経由でメモリセルに書き込む。

プリチャージ回路は、プリチャージイネーブル信号 PE が“H”レベルのときにビット線の電位を所定電位（例えば電源電位の1／2）にプリチャージする。ヒット制御回路111及びレジスタ回路112は、前記レジスタ回路103とともにレイトライト動作を行う。このうちヒット制御回路111は、アドレス変化検出信号 ATD の立ち上がりでヒット信号 HITS を取り込み、これをヒットイネーブル信号 HE としてレジスタ回路112に送出する。アドレススキュー期間内ではアドレス Add の値が確定していないため、ヒット制御回路111はアドレス Add が確定した時点でヒット信号 HITS を取り込む。レジスタ回路112は、バスWRB上で授受されるデータと同じビット幅のデータレジスタを内蔵している。そしてレジスタ回路112は、制御信号 LW2 の立ち下がりエッジをトリガとして、I／Oバッファ113を通じて外部からバスWRBX上に供給される書き込みデータをデータレジスタに取り込む。

つまり、書き込み要求があった場合には、当該メモリサイクルで与えられる書き込みデータは一旦データレジスタに取り込まれ、次の書き込み要求のあったメモリサイクルでこの取り込まれた書き込みデータがメモリセルアレイ107へ書き込まれる。即ち、制御信号 LW2 が“H”レベルである場合、レジスタ回路112は直前の書き込み要求の際に与えられた書き込みデータをデータレ

レジスタからバスWRB上に出力する。一方、制御信号 LW2 が“L”レベルである読み出し動作の場合、レジスタ回路 1 1 2 はヒットイネーブル信号 HE のレベルに応じて異なる動作を行う。すなわち、ヒットイネーブル信号 HE がミスヒットを示す“L”レベルであれば、レジスタ回路 1 1 2 はバスWRB上の読み出しデータをそのままバスWRBX上に出力する。

これに対し、ヒットイネーブル信号 HE がヒットを示す“H”レベルであれば、レジスタ回路 1 1 2 は未だメモリセルアレイ 1 0 7 に書き込まれていない書き込みデータをレジスタ回路 1 1 2 内のデータレジスタからバスWRBX上に送出する。この場合、センスアンプ／プリチャージ回路 1 0 を通じてバスWRB上に読み出されてくるメモリセルアレイ 1 0 7 のデータは使用されない。

I/O (入出力) バッファ 1 1 3 は、R/W制御回路 1 1 4 からの制御信号 CWO が“H”レベルであればバスWRBX上の読み出しデータを出力バッファでバッファリングしてバス I/O から半導体記憶装置外部に出力し、制御信号 CWO が“L”レベルであれば、出力バッファをフローティング状態として半導体記憶装置外部からバス I/O に供給される書き込みデータを入力バッファでバッファリングしてバスWRBX上に送出する。つまり制御信号 CWO が“H”レベルであれば読み出し、“L”レベルであれば書き込みである。

R/W (リード/ライト) 制御回路 1 1 4 はチップセレクト信号/CS、書き込みイネーブル信号/WE および出力イネーブル信号/OE に基づいて制御信号 CWO 及び制御信号 LW1, LW2 を生成する。この半導体記憶装置の内部ではレイトライトが行われるが、半導体記憶装置の外部から見たときの仕様では、書き込みイネーブル信号/WE の立ち下がりエッジでデータの書き込み（取り込み）が開始され、書き込みイネーブル信号/WE の立ち上がりエッジでデータが確定し、書き込み（取り込み）が終了する。ラッチ制御回路 1 1 5 は、アドレス変化検出信号 ATD 及びセンスアンプイネーブル信号 SE に基づいて、アドレス Add のラッチタイミングを決める上述したラッチコントロール信号 LC を生成する。ラッチコントロール信号 LC は、アドレス変化検出信号 ATD の立ち上がりエッジから、リフレッシュ動作中（アドレス変化検出信号 ATD が“L”レベル）に生成されるセンスアンプイネーブル信号 SE の立ち下がりエッジまでの期間中に

“H” レベルとなる。

このため、アドレス変化検出信号 ATD が立ち上がった後にアドレス Add が変化しても、ラッチコントロール信号 LC が立ち下がるまでの間、ラッチ 1 0 2 は内部アドレス LC-ADD の値を保持し続けるようになる。ロウ制御回路 1 1 6 は、リフレッシュ制御信号 REFA、REFB、アドレス変化検出信号 ATD 及び書き込みイネーブル信号 /WE に基づいて、ロウイネーブル信号 RE、センスアンプイネーブル信号 SE、プリチャージイネーブル信号 PE およびカラム制御信号 CC を生成する。カラム制御回路 1 1 7 はカラム制御信号 CC に基づいてカラムイネーブル信号 /CE を生成する。すなわち、読み出し又は書き込み時において、ロウ制御回路 1 1 6 は、アドレス変化検出信号 ATD のワンショットパルスの立ち上がりトリガとしてロウイネーブル信号 RE に正のワンショットパルスを発生させる。

またロウ制御回路 1 1 6 は、リフレッシュ制御信号 REFA が “H” レベルの場合に、アドレス変化検出信号 ATD のワンショットパルスの立ち下がりエッジトリガとして、リフレッシュ動作に必要となる正のワンショットパルスをロウイネーブル信号 RE に発生させる。さらにロウ制御回路 1 1 6 は、リフレッシュ制御信号 REFB に供給される負のワンショットパルスを反転させて得た正のワンショットパルスをロウイネーブル信号 RE として出力する。また、ロウ制御回路 1 1 6 はロウイネーブル信号 RE を遅延させてセンスアンプイネーブル信号 SE に正のワンショットパルスを生成するとともに、ロウイネーブル信号 RE に生じたワンショットパルスの立ち下がりトリガとしてプリチャージイネーブル信号 PE に正のワンショットパルスを発生させる。これらセンスアンプイネーブル信号 SE 及びプリチャージイネーブル信号 PE は通常書き込み・読み出しの場合、リフレッシュの場合を問わず生成される。

また、ロウ制御回路 1 1 6 はロウイネーブル信号 RE を遅延させてカラム制御信号 CC を出力する。カラム制御信号 CC はリフレッシュの場合には生成されないため、カラム制御信号 CC から生成されるカラムイネーブル信号 CE も通常書き込み・読み出しの場合にだけ生成され、リフレッシュの場合には生成されない。カラム制御回路 1 1 7 は制御信号 CC をさらに遅延させて、これをカ

ラムイネーブル信号/CE として出力する。ロウイネーブル信号 RE のワンショットパルスの幅はレイトライト、読み出し、リフレッシュがそれぞれ行われる時間を決定するものであるため、これらの動作のために必要十分なパルス幅が設定される。

リフレッシュ制御回路 105 から出力されるリフレッシュ制御信号 REFA は、半導体記憶装置外部からのアクセス要求に付随してリフレッシュを行うか否かを制御するための信号であり、同信号が“H”レベルであれば、当該アクセス要求により生じるアドレス変化検出信号 ATD の立ち下がりによってロウイネーブル信号 RE にワンショットパルスを発生させてリフレッシュを起動する。一方、同信号が“L”レベルであれば、アドレス変化検出信号 ATD にワンショットパルスが発生していても、ロウイネーブル信号 RE にワンショットパルスを発生させることはない。この半導体記憶装置では、読み出し又は書き込みに伴うリフレッシュ動作が連続する場合、これら各メモリサイクルに付随させてリフレッシュを連続的に行ってゆくことで、メモリセル全体をリフレッシュする。

そして、全てのメモリセルをリフレッシュした時点で、一旦リフレッシュを発生させない状態とする。その後、メモリセルのデータを保持できる限界の状態（セルホールドリミット）に近づいたときにこれを検出し、再び連続するメモリサイクルで継続的にリフレッシュを行ってゆく状態に移行する。リフレッシュ制御信号 REFA を立ち下げる要因としては、外部からのアクセス要求に伴うリフレッシュによって1サイクル分のリフレッシュが完了したものの、次のサイクルのリフレッシュを起動するにはまだ時間がある場合、あるいは、セルフリフレッシュを起動させたためにこれが完了するまでは外部からのアクセス要求に伴うリフレッシュを行う必要がなくなった場合である。リフレッシュ制御信号 REFA を生成するには、リフレッシュ制御回路 105 内部にリフレッシュ制御信号 REFA を保持するラッチ回路を設けて、リフレッシュタイマーの出力信号及びアドレス変化検出信号 ATD によってこのラッチ回路のセット・リセットを制御する方法などがある。

具体的には、リフレッシュ動作が必要になるセルホールドリミットの少し前のタイミングをリフレッシュタイマーで生成し、その出力信号に基づいてリフ

レッシュ制御回路 105 の内部でラッチ回路のセット信号を生成してラッチ回路をセットし、リフレッシュ制御信号 REFA に“H”レベルを出力する。セット信号を生成するタイミングはサイクルタイムの最大値を目安にして決められる。その後、ロウ制御回路 116 が、アドレス変化検出信号 ATD、または、リフレッシュ制御信号 REFA に基づいて発生するリフレッシュ制御信号 REFB をトリガとして、ワード線単位でメモリセルのリフレッシュ動作を行ってゆく。そして、全てのメモリセルのリフレッシュ動作が行われたときに、リフレッシュ制御回路 105 内部でラッチ回路のリセット信号を生成してラッチ回路をリセットし、リフレッシュ制御信号 REFA に“L”レベルを出力する。

ラッチ回路のリセットは、最後のワード線をリフレッシュするリフレッシュサイクルで、リフレッシュ動作の終わる時間に合わせて行う。あるいは、リフレッシュ動作を完了させたときにロウ制御回路 116 がリフレッシュ動作完了信号を生成するようにし、リフレッシュ制御回路 105 がこのリフレッシュ動作完了信号を最後のワード線に対するリフレッシュサイクルで受け取ったときにラッチ回路をリセットする。一方、リフレッシュ制御信号 REFB はセルフリフレッシュのための信号である。リフレッシュ制御信号 REFB に負のワンショットパルスを与えることで、ロウイネーブル信号 RE へ強制的にワンショットパルスを発生させてリフレッシュを起動することができる。

リフレッシュ制御信号 REFB を生成するには、リフレッシュ制御信号 REFA を遅延させる遅延回路と負のワンショットパルスを発生させるパルス発生回路とをリフレッシュ制御回路 105 内部に設けて、パルス発生回路から負のワンショットパルスを発生させるタイミングを遅延回路で遅延させたリフレッシュ制御信号 REFA とアドレス変化検出信号 ATD とで制御する構成などが考えられる。通常、リフレッシュ制御信号 REFB は“H”レベルとなっている。この状態でリフレッシュ制御信号 REFA が立ち上げられて“H”レベルとなった場合に、このリフレッシュ制御信号 REFA の立ち上がりを遅延回路で所定時間遅延させ、この遅延の間にアドレス変化検出信号 ATD が発生しなかったときには、遅延されたリフレッシュ制御信号 REFA の立ち上がりでパルス発生回路を起動し、リフレッシュ制御信号 REFB に負のワンショットパルスを出力させる。

上記所定時間の遅延は、アドレス変化検出信号 ATD を発生させるトリガが外部から与えられないためにメモリセルのリフレッシュに要求されるリミットの時間になってしまうまでを計測するために設定されている。また、半導体記憶装置を立ち上げてから初めて書き込み要求が与えられた場合には、直前の書き込みが存在しないので、当該書き込み要求のあったメモリサイクルでは、書き込みアドレス及び書き込みデータの取り込みだけを行い、メモリセルアレイ 107 へのレイトライトは行わない。これを実現するために、ロウ制御回路 116 の内部にフラグが設けられ、チップセレクト信号/CS が有効な状態で書き込みイネーブル信号/WE が一度でも有効化されたかどうかをこのフラグで示している。ロウ制御回路 116 は半導体記憶装置の立ち上げ時にフラグをオフに初期化しておき、最初の書き込み要求が行われた時点でフラグをオンとする。

また、ロウ制御回路 116 は書き込み要求があった場合（書き込みイネーブル信号/WE = “L” レベルかつチップセレクト信号/CS = “L” レベル）には、フラグがオンになっている場合にだけロウイネーブル信号 RE にワンショットパルスが発生させる。これによって、ロウ制御回路 116 及びカラム制御回路 117 は、書き込みに必要となる制御信号 CC、センスアンプイネーブル信号 SE、カラムイネーブル信号/CE、プリチャージイネーブル信号 PE を発生させる。

また図 1 において、ブースト電源 118 はメモリセルアレイ 107 内のワード線に印加される昇圧電位をロウデコーダ 108 に供給する電源、基板電圧発生回路 119 はメモリセルアレイ 107 の各メモリセルが形成されたウエルまたは半導体基板に印加される基板電圧を発生させる回路、リファレンス電圧発生回路 120 はメモリセルアレイ 107、センスアンプ／プリチャージ回路 110 内のセンスアンプやプリチャージ回路・イコライズ回路が使用するリファレンス電圧（例えば電源電位の 1/2）を発生させる回路である。リフレッシュ制御回路 105、ブースト電源 118、基板電圧発生回路 119 およびリファレンス電圧発生回路 120 にはパワーダウン制御信号 PD が供給されている。

このパワーダウン制御信号 PD は半導体記憶装置をパワーダウン状態（スタンバイ状態）にするときのモードを半導体記憶装置外部から指定するための信号である。リフレッシュ制御回路 105、ブースト電源 118、基板電圧発生

回路 1 1 9 およびリファレンス電圧発生回路 1 2 0 は、パワーダウン制御信号 PD に従ってそれぞれ自身に対する電源供給を制御するように構成されている。図示の半導体記憶装置は、メモリセル自体が DRAM と同様のものであるため、SRAM のようにスタンバイ状態で単純に半導体記憶装置内の回路各部への電源供給を止めてしまうことはできない。スタンバイ状態であってもメモリセルのデータを保持するためにはリフレッシュ動作に必要となる回路へ電源を供給し続ける必要がある。

そこでこの半導体記憶装置では、スタンバイ状態におけるモードを幾つか設けて SRAM との互換性をできる限りとるとともに、既存の半導体記憶装置には存在しないようなモードも設けている。具体的には、3 種類のスタンバイモードが設けられており、スタンバイモード 1 は、通常の DRAM と同等の電源供給モードであって、3 種類あるスタンバイモードの中では最も消費電流が大きい。しかし、この場合にはメモリセルのリフレッシュに必要な全ての回路へ電源が供給されたままになっている。このため、スタンバイ状態に移行する直前におけるメモリセルのデータが保持されているほか、半導体記憶装置をスタンバイ状態からアクティブ状態へ移行させるまでの時間が 3 種類のスタンバイモードの中では最も短い。

スタンバイモード 2 は、リフレッシュ制御回路 1 0 5 への電源供給を停止するモードであり、リフレッシュに必要とされる回路に対して電源が供給されないため、スタンバイ状態においてメモリセルのデータを保持しておくことはできないが、その分スタンバイモード 1 に比べて消費電流を低減させることができる。つまりこのモードは、スタンバイ状態でデータを保持しておくという既成概念から発想の転換を図ったものであって、スタンバイ状態からアクティブ状態に移行すれば、メモリセルアレイ全体に対して書き込みを行える状態になる。

スタンバイモード 3 は、リフレッシュ制御回路 1 0 5、ブースト電源 1 1 8、基板電圧発生回路 1 1 9 およびリファレンス電圧発生回路 1 2 0 への電源供給を停止するモードであり、ブースト電圧、基板電圧、リファレンス電圧を立ち上げる必要があるため、スタンバイ状態からアクティブ状態に移行するまでの

時間が3種類あるスタンバイモードの中で最も長くなるが、その分、スタンバイモードにおける消費電流を最も小さくすることができる。スタンバイモード2とスタンバイモード3は半導体記憶装置をバッファとして使用する場合などに適したモードである。なお、スタンバイモード1～3の何れの場合においても、上述の4種類以外の回路については必要な回路には電源が供給されている。

次に、図1～図2を参照して上記先行技術の動作について説明する。上述したように半導体記憶装置の立ち上げ後における最初の書き込みでは、その動作が2回目以降の書き込みのときとは異なる例外的なものになる。図2には少なくとも1回目の書き込みが行われていることを前提として、2回目以降の書き込み動作が示されている。すなわち、以前のメモリサイクルにおいて、アドレス“ A_x ”に対するデータ“ Q_x ”の書き込み要求があったものとする。これにより、当該メモリサイクルではアドレス“ A_x ”がレジスタ回路103内のアドレスレジスタに取り込まれるとともに、データ“ Q_x ”がレジスタ回路112内のデータレジスタに取り込まれている。

図2では、アドレス“ A_n ”に対する書き込みおよびアドレス“ A_{n+1} ”からの読み出しを続けて行う場合についてその動作タイミングが示されている。なお、リフレッシュアドレス R-ADD の値は書き込み前において“ $R_1 - 1$ ”になっているものとする。また、アドレス“ A_{n-1} ”は直前のメモリサイクルで与えられたアドレスである。仮にこの直前のメモリサイクルで書き込み要求が行われたのであればアドレス“ A_n ”＝アドレス“ A_x ”であり、さもなければ直前の書き込み要求とアドレス“ A_n ”に対する書き込み要求との間に少なくとも読み出し要求が1回はあったことになる。

まず書き込みのためのメモリサイクルの場合、時刻 t_1 になると、アドレス Add がそれまでの値“ A_{n-1} ”から“ A_n ”に変化し始める。このとき、ラッチコントロール信号 LC は“L”レベル、かつ制御信号 LW1 も“L”レベルである。このため、アドレス Add はアドレスバッファ101でバッファリングされ、ラッチ102をスルーで通過して内部アドレス LC-ADD となり、さらに内部アドレス LC-ADD はレジスタ回路103をスルーで通過して内部アドレス L-ADD となる。そして、ATD回路104は内部アドレス LC-ADD の変化か

らアドレス Add が変化し始めたことを検知するようになる。なお、この時点からアドレススキュー期間 (T S K E W に相当) に入るため、汎用 S R A M の場合と同じくこの時点でアドレス Add の値が確定しているとは限らない。

このため、時刻 t_1 ではアドレス Add をラッチ 1 0 2 に取り込むことはせず、この後に時間 T S K E W が経過してアドレス Add の値が “A n” に確定した時点でラッチ 1 0 2 にアドレス Add を保持させるようにしている。また、アドレススキュー期間内において書き込みイネーブル信号 /WE に負のパルスが例えば時刻 t_2 で入力される。R / W 制御回路 1 1 4 は書き込みイネーブル信号 /WE が立ち下がったことを受けて制御信号 CWO を “L” レベルにするほか、制御信号 LW1, LW2 をともに “H” レベルにする。その結果、I / O バッファ 1 1 3 はバス I / O 上の書き込みデータをバス W R B X 上に送出するようになる。この時点ではまだ書き込みデータの値が確定しているとは限らない。レジスタ回路 1 0 3 はアドレスレジスタに保持しているアドレス “A x” を内部アドレス L-ADD として出力し、レジスタ回路 1 1 2 はデータレジスタに保持しているデータ “Q x” をバス W R B 上に出力する。

時刻 t_3 になるとアドレス Add の値が “A n” に確定する。また、時刻 t_3 では、アドレス Add (=内部アドレス LC-ADD) が変化し始めた時点 (時刻 t_1) から時間 T S K E W が経過しているため、A T D 回路 1 0 4 はこの後の時刻 t_4 でアドレス変化検出信号 ATD に正のワンショットパルスを発生させる。アドレス変化検出信号 ATD が立ち上がったことを受けて、リフレッシュ制御回路 1 0 5 は書き込み後に引き続いて行われるリフレッシュ動作のために、リフレッシュアドレス R-ADD の値を “1” だけ増加させてその値を “R 1” に更新する。そして、アドレス変化検出信号 ATD の立ち上がりを契機としてレイトライト動作が開始される。すなわち、マルチプレクサ 1 0 6 はアドレス変化検出信号 ATD の立ち上がりを受けて内部アドレス L-ADD 側を選択する。

このとき、レジスタ回路 1 0 3 は内部アドレス L-ADD としてアドレスレジスタの保持するアドレス “A x” を出力しており、マルチプレクサ 1 0 6 はこの値をアドレス M-ADD としてロウデコーダ 1 0 8 に出力する。また、同じくアドレス変化検出信号 ATD が立ち上がったことで、ロウ制御回路 1 1 6 はロウイ

ネーブル信号 RE に正のワンショットパルスが発生させる。これによってロウデコーダ 108 はアドレス “A_x” に対応するワード線を活性化させる。次に、ロウイネーブル信号 RE のワンショットパルスに対応して、ロウ制御回路 116 はセンスアンプイネーブル信号 SE に正のワンショットパルスが発生させるほか、制御信号 CC に正のワンショットパルスが発生させてこれをカラム制御回路 117 に出力する。これにより、カラム制御回路 117 はカラムイネーブル信号/CE に正のワンショットパルスが発生させる。

こうしてカラムイネーブル信号 CE が “H” レベルとなると、カラムデコーダ 109 は内部アドレス L-ADD (=アドレス “A_x”) に含まれた列アドレスをデコードし、この列アドレスに対応するカラム選択信号に正のワンショットパルスが発生させる。この結果、センスアンプ/プリチャージ回路 110 内のセンスアンプのうち、上記列アドレスに対応するセンスアンプが選択されてバス WRB と接続される。以上の結果、時刻 t₄ からはセンスアンプ/プリチャージ回路 110 内のセンスアンプを通じてアドレス “A_x” に対応したメモリセルヘデータ “Q_x” の書き込みが始まる。この後、時刻 t₅ になると、アドレス “A_n” に対する書き込みデータであるデータ “Q_n” が供給されるようになり、当該データがバス I/O に載せられて I/O バッファ 113 を通じてバス WRB X 上に送出される。

このときバス WRB X はバス WRB に接続されていないため、この時点においてデータ “Q_n” はメモリセルアレイ 107 への書き込みには関係していない。この後、ロウ制御回路 116 は書き込み動作を終了させるために、ロウイネーブル信号 RE のワンショットパルスを立ち下げる。これを受けて、ロウデコーダ 108 はアドレス “A_x” に対応した書き込みワード線を非活性化させる。次に、ロウ制御回路 116 はセンスアンプイネーブル信号 SE を立ち下げてセンスアンプ/プリチャージ回路 110 内のセンスアンプを通じた書き込み動作を終了させる。次いで、ロウ制御回路 116 は制御信号 CC を立ち下げ、この立ち下がりを受けたカラム制御回路 117 はカラムイネーブル信号 CE を立ち下げる。その結果、カラムデコーダ 109 はカラム選択信号を無効化して、選択されていたセンスアンプ/プリチャージ回路 110 内のセンスアンプとバ

スWRBとの間を切り離す。

次に、ロウ制御回路116はプリチャージイネーブル信号PEを立ち上げ、これによってセンスアンプ／プリチャージ回路110内のプリチャージ回路は次のアクセスに備えてビット線をプリチャージする。次いで、ロウ制御回路116はプリチャージ動作に必要な時間が経過してからプリチャージイネーブル信号PEを立ち下げてセンスアンプ／プリチャージ回路110内のプリチャージ回路によるビット線のプリチャージ動作を終了させる。次に、時刻 t_6 になってアドレス変化検出信号ATDが立ち下がると、リフレッシュ動作が開始される。すなわち、マルチプレクサ106はアドレス変化検出信号ATDが“L”レベルになったことでリフレッシュアドレスR-ADDを選択し、アドレスM-ADDとして“R1”を出力する。

また、アドレス変化検出信号ATDの立ち下がりを受けて、ロウ制御回路116はロウイネーブル信号REに正のワンショットパルスが発生させる。これによってロウデコーダ108はアドレスM-ADDの値“R1”に対応するワード線を活性化させる。その結果、メモリセルアレイ107ではリフレッシュワード線に接続されたメモリセルの保持データがビット線上の電位として現れるようになる。この後、ロウ制御回路116がセンスアンプイネーブル信号SEに正のワンショットパルスを生成すると、センスアンプ／プリチャージ回路110内のセンスアンプが活性化されて、リフレッシュワード線に接続された各メモリセルのリフレッシュが始まる。なお、リフレッシュ動作自体はDRAMで行われているものと同様である。

こうしてリフレッシュが行われている最中の例えば時刻 t_7 において、書き込みイネーブル信号WEが立ち上げられると、R/W制御回路114は制御信号LW1, LW2とともに立ち下げる。この制御信号LW1の立ち下がりを受けて、レジスタ回路103は時刻 t_8 で内部アドレスLC-ADDの値“An”をアドレスレジスタに取り込む。また、レジスタ回路112は制御信号LW2の立ち下がりを受けて、同時刻 t_8 でバスWRBX上のデータ“Qn”をデータレジスタに取り込む。これらレジスタに取り込まれたアドレス“An”及びデータ“Qn”は、次の書き込み要求が行われた時点のメモリサイクルでレイトライト動

作に使用されることになる。この後、時刻 t_9 になると書き込みのためのメモリサイクルが終了して読み出しのためのメモリサイクルに移行する。

この時点ではレイトライトに付随したリフレッシュ動作は引き続いて行われている状態である。リフレッシュを開始（時刻 t_6 ）させてからリフレッシュに必要な時間が経過すると、ロウ制御回路 116 はリフレッシュ動作を終了させるためにロウイネーブル信号 RE を立ち下げる。これによって、ロウデコーダ 108 はリフレッシュワード線を非活性化させる。次に、ロウ制御回路 116 はセンスアンプイネーブル信号 SE を立ち下げて、リフレッシュを終えたセンスアンプ／プリチャージ回路 110 内のセンスアンプを非活性化させる。このとき、ラッチ制御回路 115 はセンスアンプイネーブル信号 SE が立ち下がったことを受けてラッチコントロール信号 LC を立ち下げる。リフレッシュの過程ではメモリセルのデータを半導体記憶装置外部へ出力する必要がないことから、ロウイネーブル信号 RE にワンショットパルスが生成されてもカラムイネーブル信号 CE にはワンショットパルスを発生させない。従ってカラムデコーダ 109 はカラム選択信号を非活性状態のままとしている。

以上のようにしてリフレッシュ動作が完了すると、ロウ制御回路 116 は書き込みが終わったときと同様にプリチャージイネーブル信号 PE にワンショットパルスを発生させてビット線をプリチャージする。そして、これまで述べた動作が遅くとも時刻 t_{10} （書き込みサイクルに続く読み出しサイクルの開始時点から時間 T_{SKEW} が経過したとき）までに行われる。この例ではアドレス Add が未確定の間はアドレス変化検出信号 ATD のワンショットパルスを発生させないことで、アドレススキュー期間が終わるまで書き込み又は読み出し動作が始まらないように制御しているので、リフレッシュ動作は次のメモリサイクルのアドレススキュー期間終了まで延びても問題はない。また、この制御に対応させて、アドレススキュー期間中は書き込み・読み出しアドレスに使用される内部アドレス L-ADD が直前のメモリサイクルの値を保持するようにしている。

図 2 において時刻 $t_1 \sim t_9$ （実際の動作は時刻 $t_3 \sim t_{10}$ ）が 1 メモリサイクルであって、サイクルタイムは「T c y c」で示されている。また、時

刻 $t_7 \sim t_9$ の期間が上述したリカバリ時間 TWR に相当している。しかし図 2 に示す動作では、レイトライト後のプリチャージ動作がリフレッシュ動作前に完結しているため、リカバリ時間 TWR を確保しておく必要はない。例えば、書き込みイネーブル信号/WE が時刻 t_9 で立ち上がるようにしても良く、そうした場合にはリカバリ時間 TWR はゼロとなる。

次に、読み出しのためのメモリサイクルの場合には、まず時刻 t_9 でアドレス Add の値が “ A_n ” から変化し始める。この場合も時刻 t_{10} まではアドレススキュー期間であることから、アドレスが “ A_{n+1} ” に確定するまではアドレス Add はラッチ 102 に取り込まれない。また、読み出し要求が為される場合はアドレススキュー期間で書き込みイネーブル信号/WE が立ち下げられることはなく、その代わりに出力イネーブル信号/OE が有効化される。このため、R/W制御回路 114 はメモリセルからの読み出しに備えて制御信号 CWO を “H” レベルとするほか、制御信号 LW1, LW2 を何れも “L” レベルのままとする。これによって I/Oバッファ 113 はバス WRBX 上のデータをバス I/Oへ送出するようになる。

この時点ではまだアドレススキュー期間であって、ヒット制御信号 HE も直前のメモリサイクルのままになっており、バス WRBX 上にデータ WRB 上のデータが読み出されるのか、データレジスタの保持データが読み出されるのかは確定していない。アドレススキュー期間が終わって時刻 t_{10} になると、アドレス Add および内部アドレス LC-ADD の値が “ A_{n+1} ” に確定する。このとき、制御信号 LW1 は “L” レベルであるため、内部アドレス LC-ADD の値がそのまま内部アドレス L-ADD として出力される。また、内部アドレス LC-ADD の値 “ A_{n+1} ” はアドレスレジスタに保持されているアドレス “ A_n ” と一致しないため、レジスタ回路 103 はヒット信号 HITS として “L” レベルを出力する。時刻 t_{11} で ATD 回路 104 がアドレス変化検出信号 ATD に正のワンショットパルスを発生させ、これによって読み出し動作が開始される。

そして、リフレッシュ制御回路 105 はリフレッシュアドレス R-ADD の値を “ R_1 ” から “ $R_1 + 1$ ” に更新する。また、ヒット制御回路 111 は同時刻 t_{11} でヒット信号 HITS を取り込んでヒットイネーブル信号 HE として “L”

レベルを出力する。これにより、レジスタ回路 112 はバス WRB とバス WRBX を接続するようになり、センスアンプ／プリチャージ回路 110 内のセンスアンプによるセンス結果が I/Oバッファ 113 およびバス I/O を通じて半導体記憶装置外部に出力可能となる。マルチプレクサ 106 は内部アドレス L-ADD を選択してアドレス “ A_{n+1} ” をアドレス M-ADD としてロウデコーダ 108 に出力する。同時に、ロウ制御回路 116 はロウイネーブル信号 RE に正のワンショットパルスが発生させ、ロウデコーダ 108 はアドレス “ A_{n+1} ” に対応したワード線を活性化させる。

この結果、読み出しワード線に接続されたメモリセルの保持データがビット線上の電位として読み出される。次に、ロウ制御回路 116 はセンスアンプイネーブル信号 SE、制御信号 CC にそれぞれ正のワンショットパルスが発生させる。すると、カラム制御回路 117 はカラムイネーブル信号/CE に正のワンショットパルスが発生させ、カラムデコーダ 109 はアドレス “ A_{n+1} ” 中の列アドレスに対応したカラム選択信号を活性化させて、このカラム選択信号に対応したセンスアンプをバス WRB と接続する。このセンスアンプは読み出しワード線に接続された各メモリセルのデータをセンスして “0” / “1” のレベルまで増幅する。その結果、時刻 t_{13} になるとアドレス “ A_{n+1} ” に記憶されているデータ “ Q_{n+1} ” がバス WRB 上に現れるようになり、レジスタ回路 112、バス WRBX、I/Oバッファ 113 を通じてバス I/O から外部に読み出される。

この後、読み出し動作を終了させるために、ロウ制御回路 116 はロウイネーブル信号 RE を立ち下げる。すると、書き込みの場合と同様にして、アドレス “ A_{n+1} ” に対応した読み出しワード線が非活性化され、センスアンプイネーブル信号 SE が “L” レベルになってセンスアンプ／プリチャージ回路 110 内のセンスアンプがセンス動作を終了させる。また、カラム制御回路 117 がカラムイネーブル信号 CE を “L” レベルにすることで、センスアンプとバス WRB との間が切り離される。次いで、ロウ制御回路 116 がプリチャージイネーブル信号 PE にワンショットパルスを生成することでビット線がプリチャージされる。一方、時刻 t_{12} ではアドレス変化検出信号 ATD が立ち下がっ

て、読み出しに付随したリフレッシュ動作が開始される。

この場合、時刻 $t_{12} \sim t_{15}$ において為される動作は書き込みに付随するリフレッシュと同じであって、リフレッシュアドレス R-ADD として “R 1” ではなく “R 1 + 1” が使用される点だけが異なっている。そしてリフレッシュ動作中に時刻 t_{14} となると、読み出しのためのメモリサイクルが終了してこれに続く新たなメモリサイクルに移行し、リフレッシュ動作はこの新たなメモリサイクルでアドレススキュー期間が終了するまでに完了する。なお、時刻 $t_9 \sim t_{14}$ （実際の動作は時刻 $t_{10} \sim t_{15}$ ）はやはり 1 メモリサイクルであって、サイクルタイムは「T c y c」である。図 2 において、読み出しアドレスが “A n + 1” ではなく “A n” である場合には、アドレス “A n” に対する書き込みデータ “Q n” が未だメモリセルアレイ 107 に反映されていない。このため、以下に説明するようなバイパス動作が行われる。

この場合、図 2 に示す時刻 t_{10} になるとアドレス Add の値が “A n” に確定して、内部アドレス LC-ADD にもこの値 “A n” が出力される。このとき、レジスタ回路 103 内のアドレスレジスタは “A n” を保持しているため、レジスタ回路 103 はヒット信号 HITS として “H” レベルを出力するようになる。この後、時刻 t_{11} になってアドレス変化検出信号 ATD が立ち上がると、ヒット制御回路 111 はヒット信号 HITS を取り込み、ヒットイネーブル信号 HE として “H” レベルを出力する。そしてこの場合は読み出し動作であるため、R/W制御回路 114 は制御信号 LW2 として “L” レベルを出力している。したがって、レジスタ回路 112 はデータレジスタに保持しているデータ “Q n” をバス WRBX 上に出力するようになる。

この後は、読み出しアドレスが “A n + 1” のときに準じて、メモリセルアレイ 107 からアドレス “A n” に記憶されているデータが読み出され、時刻 t_{13} になると当該データがバス WRBX 上に読み出されてくる。しかし、このデータは書き込み前の古いデータであることから、読み出しデータとして使用されずに廃棄される。その代わりに、バス WRBX 上に出力されているデータ “Q n” が I/Oバッファ 113、バス I/O を通じて半導体記憶装置外部に出力される。なお、バイパス動作を行う場合にはメモリセルアレイ 107 から

の読み出しは必要ないことから、読み出し動作を起動せずに消費電流を低減させることが可能である。

その場合には、ヒットイネーブル信号 HE をロウ制御回路 116 にも供給する。そして、読み出し要求であってアドレス変化検出信号 ATD の立ち上がりタイミングでヒットイネーブル信号 HE が“H”レベルであれば、ロウ制御回路 116 およびカラム制御回路 117 は、ロウイネーブル信号 RE とこの信号から時系列的に生成される各信号（センスアンプイネーブル信号 SE、制御信号 CC、カラムイネーブル信号/CE、カラム選択信号、プリチャージイネーブル信号 PE）を発生させないように制御する。以上のようにこの半導体記憶装置では、書き込み要求に伴う書き込みイネーブル信号/WE をアドレススキュー期間内で立ち下げているため、アドレスが確定した時点においてアクセスが書き込み／読み出し何れであるかが確定している。

しかもレイトライトを行っているため、書き込みアドレスおよび書き込みデータは何れもアドレススキュー期間以前において既に確定しており、アクセス要求が書き込み／読み出しの何れであるかが確定した時点より直ちに書き込み動作又は読み出し動作を開始できる。また、リカバリ時間 TWR も確保しておく必要がない。従って、書き込み又は読み出しに要する時間が最小限となっており、1 メモリサイクルの長さ（時刻 $t_3 \sim t_{10}$ あるいは時刻 $t_{10} \sim t_{15}$ ）を最短にすることができる。また、書き込み又は読み出しを行ってからリフレッシュを実施しているため、リフレッシュ後に読み出し又は書き込みを行う場合に比べて、リフレッシュを行うのに必要となる時間だけアクセスを高速化できる。

このように、レイトライトによりメモリセルへの書き込みを行う方法では、書き込み要求があった場合、当該書き込み要求に対する書き込みデータが確定するまで待つ必要がなく、それ以前の書き込み要求に対応したメモリセルへの書き込み動作及びそれに続くリフレッシュ動作と次回の書き込みデータの取り込みとを並行して行うことができる。従って、書き込みデータがいつ確定するかによって書き込み時間が左右されることはなく、書き込み時間と読み出し時間を等しく一定にすることが可能となり、書き込み又は読み出しを行ってから

所定のメモリサイクル内で余裕を持ってリフレッシュ動作を行うことが可能となる。

上記先行技術では、レイトライトによる書き込みによって、書き込みのためのメモリサイクルの長さを最短にすることができ、読み出しのためのメモリサイクルと同様の長さとするので、書き込みサイクルが継続されるような状態においても、各書き込みサイクル内でリフレッシュ動作を行うことが可能となるが、各メモリサイクルに付随するリフレッシュ動作は、ATD回路104がアドレスラッチ回路102から出力されるアドレス変化を検出してから所定時間後に発生するトリガ信号によって起動されるため、メモリアクセスが長時間継続して行われないような場合にはリフレッシュ動作が起動されない状況が発生する。

このような状況を回避するために、上記先行技術においてはリフレッシュ制御回路105内にリフレッシュタイマーを内蔵している。このリフレッシュタイマーは半導体記憶装置の外部から最後にアクセス要求があつてからの経過時間を計時しており、それが所定のリフレッシュ時間を越えた場合に半導体記憶装置内部でセルフリフレッシュを起動させる。そのため、リフレッシュタイマーはアドレス変化検出信号ATDが有効となる度にリセットされて計時を再開するように構成されている。

すなわち上記先行技術では、各メモリサイクルに付随させてリフレッシュを行っているのでメモリアクセスが連続する場合には本来必要とする以上にメモリリフレッシュ動作が行われ、無駄に電力を消費してしまう虞がある。また、メモリリフレッシュユニットとして、各メモリサイクルに付随したリフレッシュユニットと、リフレッシュタイマーによるリフレッシュ装置の二つのユニットを備えていることになり、リフレッシュのための構成が重複し、コストアップの要因となる。

発明の開示

本発明の目的は、上記問題点に鑑み、上記メモリセルのリフレッシュ動作をリフレッシュタイマーから出力される周期的なリフレッシュ要求のみによって

実行させるとともに、メモリアクセス要求とメモリリフレッシュ要求の衝突を効率的に回避し、かつ上記メモリリフレッシュ要求に対するリフレッシュ動作をメモリサイクル内で確実に実行可能な半導体記憶装置及びそのリフレッシュ制御方法を提供することにある。

本発明によれば、リフレッシュを必要とするメモリセルで構成されたメモリセルアレイを有し、アクセスアドレスに対して読み出し要求又は書き込み要求が非同期的に与えられる半導体記憶装置であって、前記メモリセルアレイに対するリフレッシュ要求信号を周期的に出力するリフレッシュタイマーと、前記書き込み要求に対して、当該書き込み要求に対するメモリサイクルよりも前の時点のメモリサイクルで与えられた書き込み要求に対するアクセスアドレス及び書き込みデータをレイトライトで書き込むレイトライト書き込み回路と、前記リフレッシュタイマーからのリフレッシュ要求信号を受けて前記メモリセルアレイに対するリフレッシュを実行するとともに、前記リフレッシュ要求信号が前記読み出し要求又は前記書き込み要求と衝突したとき、前記リフレッシュの実行を該衝突した読み出し要求又は書き込み要求に対するメモリセルの読み出し動作又はレイトライト書き込み動作が終了するまで遅延させるリフレッシュ制御回路とを具備する。

すなわち本発明では、メモリセルアレイに対するリフレッシュ動作をメモリセルアクセス動作とは独立に周期的に実行させるので、不必要なリフレッシュ動作による電力消費を防止することができる。また、リフレッシュ動作がメモリアクセス動作と衝突した場合には、リフレッシュ動作を当該衝突したメモリアクセス動作が終了するまで遅延させるので、メモリアクセスにあたってリフレッシュ動作を意識する必要がない。さらに、メモリアクセスが書き込み要求であった場合にはレイトライトによる書き込み動作を行うので、当該衝突したメモリアクセスが読み出し要求又は書き込み要求のいずれであっても、それに伴うリフレッシュ要求の遅延は所定時間以下とすることができ、該衝突したリフレッシュ要求に対するリフレッシュ動作を、当該メモリサイクル内で余裕を持って実行することができる。

また、本発明におけるリフレッシュタイマーは、そのリフレッシュ要求トリ

ガを発生するタイマー周期として、アクティブ時のタイマー周期を短くし、リフレッシュ動作を行うスタンバイ時のタイマー周期を長くするように切り換える機能を有している。これは、アクティブ時にはビット線がアクセスされる毎に該ビット線の電位変動（ディスタ urb）が生じてメモリセルの保持電位が不安定となってメモリ保持タイムが小さくなる傾向がある。そこで、アクティブ時のリフレッシュ周期をスタンバイ時におけるリフレッシュ周期よりも短くすることにより、メモリセルの記憶の安定化を図っている。

図面の簡単な説明

図 1 は、従来の半導体記憶装置の構成を示すブロック図である。

図 2 は、従来の半導体装置の動作を説明するためのタイミングチャートである。

図 3 は、本発明の第 1 の実施形態による半導体記憶装置の構成を示すブロック図である。

図 4 は、本実施形態におけるリフレッシュコントロールパルス発生回路の構成例を示すブロック図である。

図 5 は、本実施形態の半導体記憶装置におけるメモリ読み出し動作とリフレッシュ動作の関係を示すタイミングチャートである。

図 6 は、本実施形態の半導体記憶装置におけるメモリ読み出し動作とリフレッシュ動作の関係を示すタイミングチャートである。

図 7 は、本実施形態において用いられるレイトライトレジスタのビット単位の構成を示すブロック図である。

図 8 は、図 7 に示されたレイトライトレジスタの動作を説明するためのタイミングチャートである。

図 9 は、本実施形態において用いられる Din レジスタ/Dout バッファのビット単位の構成を示すブロック図である。

図 10 は、図 9 に示された Din レジスタ/Dout バッファの動作を説明するためのタイミングチャートである。

図 11 は、本実施形態において用いられるマルチプレクサ（MUX）のピッ

ト単位の構成を示すブロック図である。

図12は、図11に示されたMUX回路の動作を説明するためのタイミングチャートである。

図13は、本実施形態において用いられるマルチプレクサ（MUX）の他の構成を示すビット単位のブロック図である。

図14は、本発明の第2の実施形態による半導体記憶装置の構成を示すブロック図である。

図15は、第2の実施形態において用いられるページアドレスレジスタのビット単位の構成を示すブロック図である。

図16は、図15に示されたページアドレスレジスタの動作を説明するためのタイミングチャートである。

図17は、本実施形態において用いられるアドレスヒットコントロール回路の構成を示すブロック図である。

発明の実施の形態

図3は、本発明の第1の実施形態による半導体記憶装置の構成を示すブロック図である。

同図において、アドレスADDは半導体記憶装置外部から供給されるアクセスアドレスである。メモリセルアレイ27が行列状に配列されていることに対応して、アドレスADDは行（ロウ）アドレス（以下、Xアドレスという）および列（カラム）アドレス（以下、Yアドレスという）を含んでいる。アドレスバッファ11、12はこのXアドレス、Yアドレスをバッファリングして出力する。レイトライトレジスタ13、14は、レイトライト用のレジスタと図1におけるラッチ回路102を兼ねている。このレイトライトレジスタ13、14は、それぞれXアドレス、Yアドレスのビット幅に等しいアクセスアドレスを保持するためのレジスタ（アドレスレジスタ）を内蔵している。

Yアドレス用レイトライトレジスタ14から出力されるアドレスはメモリアクセス用アドレスY-ADDとしてYプリデコーダ36に入力されて複数ブロックにデコードされた後、Yデコーダ25に入力される。Xアドレス用レイトラ

イトレジスタ 13 から出力される内部アドレス EX-ADD はマルチプレクサ（以下、MUX という）20 に出力される。MUX 20 は、X アドレス用レイトライトレジスタ 13 から出力される内部アドレス EX-ADD とリフレッシュアドレスカウンタ 21 から出力されるリフレッシュ用アドレス RF-ADD の切り換えを行う。MUX 20 で切り換えられた X アドレス X-ADD は、X プリデコーダ 35 に入力されて複数ブロックにデコードされた後、X デコーダ 28 に入力される。

なお、X アドレス X-ADD と Y アドレスを直接 X デコーダ 28 と Y デコーダ 25 に入力して Y-ADD X プリデコーダ 35 と Y プリデコーダ 36 を省略して構成することも可能である。また、本実施形態においても、メモリセルへの書き込みをレイトライトにより実施している点、読み出し時におけるアドレスヒット時にデータレジスタに格納されているデータを読み出している点においては、上記先行技術と同様のレイトライト動作が行われる。本実施形態におけるレイトライト動作は主に、レイトライトレジスタ 13、14、R/W コントロール回路 15、データ I/O コントロール回路 17、アドレスヒットコントロール回路 19 及び Din レジスタ/Dout バッファ 24 により実行される。

R/W コントロール回路 15 は、書き込みイネーブル信号/WE と、リフレッシュコントロールパルス発生回路 16 からのラッチコントロール信号 LC を入力して、レイトライトレジスタ 13、14 に対してレイトライト動作を制御するための信号 LCWE、LCRE を出力すると共に、データ I/O コントロール回路 17 に対してデータの書き込み又は読み出しを指示する信号を出力する。データ I/O コントロール回路 17 は、出カイネーブル信号/OE と上記データの書き込み又は読み出しを指示する信号を入力して、データ取り込み用内部クロック DCK とデータ書き込み用内部クロック WEINT を出力する。

リフレッシュコントロールパルス発生回路 16 は、リフレッシュタイマー 18 からのリフレッシュ要求トリガと、チップイネーブル信号/CE、出カイネーブル信号/OE、書き込みイネーブル信号/WE およびレイトライトレジスタ 13、14 から出力されるアドレス変化検出信号 ATD を入力して、ラッチコントロール信号 LC、ロウイネーブルノーマル信号 REN、ロウイネーブルリフレッシュ信号 RERF、リフレッシュアドレスカウントアップ信号を発生し、R/W コン

トロール回路 15 およびレイトライトレジスタ 13, 14、MUX コントロール回路 22、センスイネーブル／プリチャージイネーブルコントロール回路（以下、SE／PE コントロール回路という）23、リフレッシュアドレスカウンタ 21 にそれぞれ出力する。

リフレッシュアドレスカウンタ 21 は、リフレッシュコントロールパルス発生回路 16 から入力されたリフレッシュアドレスカウンタアップ信号によりリフレッシュアドレス RF-ADD をカウンタアップし、MUX 20 に出力する。MUX コントロール回路 22 は、外部アドレス変化およびタイマトリガを受けてリフレッシュコントロールパルス発生回路 16 から出力されるロウイネーブルノーマル信号 REN およびロウイネーブルリフレッシュ信号 RERF により、MUX 20 から出力するアドレスとして内部アドレス EX-ADD およびリフレッシュアドレス RF-ADD の間の切り替え制御を行うために、MUX 20 に対して所定パルス幅のノーマルアドレス転送制御信号 TN およびリフレッシュアドレス転送制御信号 TRE を出力する。

このノーマルアドレス転送制御信号 TN およびリフレッシュアドレス転送制御信号 TRE は、X プリデコーダ 35 にも出力される。SE／PE コントロール回路 23 は、リフレッシュコントロールパルス発生回路 16 から入力されたロウイネーブルノーマル信号 REN およびロウイネーブルリフレッシュ信号 RERF により DRAM 内のセンスアンプ／プリチャージ回路 26 を制御する。

スタンバイコントロール回路 29 は、ブースト電圧発生回路 31、基板電圧発生回路 32、センスアンプ用降圧電圧発生回路 33、 $1/2 V_{DD}$ 電圧発生回路 34 等の内部電圧発生回路 30 の動作電圧を、前記先行技術で説明したスタンバイモードに応じて制御する回路であるが、これらの構成は本発明とは直接関係しないので詳細説明は省略する。

図 4 は、リフレッシュコントロールパルス発生回路 16 の構成例を示すブロック図である。図 4 において、ワンショットパルス発生回路 161 は、チップイネーブル信号/CE が入力されている状態でレイトライトレジスタ 13, 14 からアドレス変化信号 ATD が入力されるとワンショットパルス OS を出力し、ラッチ回路 163 はこのワンショットパルス OS の立ち上がりによりその出力

を“H”レベルにする。また、ラッチ回路164、165は、リードイネーブル信号/OE、ライトイネーブル信号/WEが入力される（“L”レベル）と、その立ち下がりで“H”レベルを出力する。

ラッチ回路163、164、165の出力は、NORゲート167に入力される。従って、NORゲート167の出力は、ラッチ回路163、164、165の出力が全て“L”レベルの時のみ“H”レベルとなり、ラッチ回路163、164、165の出力の内いずれかが“H”レベルであれば“L”レベルとなる。このNORゲート167の“L”レベル出力は、リフレッシュ禁止信号としてANDゲート168に入力されるとともに、インバータ169を介してメモリアクセス要求信号としてメモリアクセス用パルス発生回路171に入力される。

メモリアクセス用パルス発生回路171には、ラッチ回路163から出力される“H”レベル信号を所定時間遅延する遅延回路166の出力も入力されており、メモリアクセス用パルス発生回路171は、インバータ169の出力が“H”レベルに立ち上がる時点でラッチコントロール信号LCを“H”レベルに立ち上げ、所定時間後に遅延回路166の出力が“H”レベルに立ち上がる時点でロウイネーブルノーマル信号RENを“H”レベルに立ち上げてメモリアクセスを開始させる。遅延回路166の遅延時間は、インバータ169からメモリアクセス信号が入力された時点でメモリセルのリフレッシュ動作が実行中であった場合、直ぐリード/ライトをスタートさせることはできないので、予めリフレッシュ動作時間だけ遅らせてリード/ライトをスタートさせるために設けられている。

リフレッシュ要求発生回路162は、リフレッシュタイマー18からリフレッシュ要求トリガを受けたとき“H”レベルとなり、その出力をリフレッシュ要求信号としてANDゲート168を経由してリフレッシュ用パルス発生回路170へ出力する。従って、メモリアクセス動作を実行中でなければNORゲート167の出力は“H”レベルであるので、リフレッシュタイマー18からリフレッシュ要求トリガが入力されると、リフレッシュ要求信号がリフレッシュ用パルス発生回路170に入力され、リフレッシュ用パルス発生回路170

からはロウイネーブルリフレッシュ信号 RERF およびリフレッシュアドレスカウンタアップ信号が出力されて直ちにリフレッシュ動作が実行される。

一方、メモリアクセス動作を実行中はNORゲート167の出力が“L”レベルであるため、リフレッシュ要求信号はANDゲート168で阻止され、リフレッシュ動作は禁止される。しかしその後、予め設定されたメモリアクセス動作時間が経過した時点でメモリアクセス用パルス発生回路171から出力されているラッチコントロール信号LCが“H”レベルから“L”レベルへ立ち下がる。このラッチコントロール信号LCの“L”レベルへの立ち下がり信号が、ラッチ回路163、164、165およびリフレッシュ要求発生回路162にリセット信号として入力される。このリセット信号により、ラッチ回路163、164、165がリセットされてその出力は“L”レベルとなる。

その結果、NORゲート167の出力が“H”レベルとなってリフレッシュ禁止が解除され、ANDゲート168が開いてリフレッシュ要求発生回路162からのリフレッシュ要求信号がリフレッシュ用パルス発生回路170に入力され、その時点からリフレッシュ動作が開始される。従って、リフレッシュ要求信号がメモリアクセス動作と衝突した場合には、メモリアクセス動作期間を規定するラッチコントロール信号LCが“H”レベルから“L”レベルへ立ち下がるまで、衝突したリフレッシュ要求を遅延させ、その後リフレッシュ動作を開始させる。

この遅延時間は、高々メモリアクセス動作を規定するラッチコントロール信号LCが“H”レベルから“L”レベルへ立ち下がるまでの時間であって、メモリリフレッシュ周期と比較してきわめて短い時間であり、この遅延時間がメモリリフレッシュに影響を及ぼすことはない。また、リフレッシュ要求発生回路162は、ラッチコントロール信号LCが“L”レベルに立ち下がった時点より多少遅れてリフレッシュ要求信号を“H”レベルから“L”レベルに切り換えることにより、リフレッシュタイマー18からの次のリフレッシュ要求トリガに備える。

図5～図6は、本発明の半導体記憶装置におけるメモリ読み出し動作とリフレッシュ動作の関係を示すタイミングチャートであり、図5はリフレッシュ要

求が読み出し動作と衝突しない場合、図6はリフレッシュ要求が読み出し動作と衝突した場合を示している。以下、図3～図6を参照して本発明の動作を説明する。なおメモリ読み出し時にはビット線も選択されるが、図5～図6では、メモリ読み出し時におけるビット線選択動作については省略している。

外部からアドレスA ϕ のメモリセルのデータ読み出し要求があると、そのアドレスA ϕ の内、Xアドレスはレイトライトレジスタ13に入力され、Yアドレスはレイトライトレジスタ14に入力される。レイトライトレジスタ13, 14に入力されたアドレス信号の変化はATD信号としてリフレッシュコントロールパルス発生回路16のワンショットパルス発生回路161に入力され、ワンショットパルス発生回路161からワンショットパルスOSが出力される。このワンショットパルスOSによりラッチ回路163が“H”レベルとなり、メモリアクセス用パルス発生回路171から出力されるラッチコントロール信号LCが“H”レベルに立ち上がることにより、レイトライトレジスタ13, 14内でアドレスA ϕ がラッチされる。

また、ワンショットパルス発生回路161から出力されるワンショットパルスOSを遅延回路166で所定時間遅延した信号がメモリアクセス用パルス発生回路171に入力されると、メモリアクセス用パルス発生回路171からロウイネーブルノーマル信号RENがMUXコントロール回路22及びSE/PEコントロール回路23に出力される。MUXコントロール回路22にロウイネーブルノーマル信号RENが入力されると、MUXコントロール回路22からノーマルアドレス転送制御信号TNがMUX20に出力される。その結果MUX20からはレイトライトレジスタ13からの内部アドレスEX-ADDがワード線アドレスとしてXプリデコーダ35を経由してXデコーダ28に出力される。

Xデコーダ28は、入力されたアドレスX-ADDをデコードして該当するワード線を活性化する。また、レイトライトレジスタ14にラッチされたYアドレスはそのままY-ADDとしてYプリデコーダ36を経由してYデコーダ25に出力され、データを読み出すビット線を選択する。一方、ロウイネーブルノーマル信号RENはSE/PEコントロール回路23にも入力され、選択されたビット線に接続されているセンスアンプ/プリチャージ回路を動作させて、メモ

リセルアレイ 27 内のアドレス A_φ で示されるワード線とビット線の交点に位置するメモリセルに記憶されているデータ Q_φ を読み出し、ライトリードバス WRB、Din レジスタ/Dout バッファ 24 を介して出力する。

メモリ読み出し動作が終了するとラッチコントロール信号 LC が“L”レベルに立ち下がり、この立ち下がりによりラッチ回路 163～165 がリセットされ NOR ゲート 167 の出力は“H”レベルとなる。そして次のメモリアクセスが開始される前にリフレッシュタイマー 18 からリフレッシュ要求トリガが出力されると、リフレッシュ要求信号発生回路 162 の出力が“H”レベルとなり、リフレッシュ要求信号が AND ゲート 168 を介してリフレッシュ用パルス発生回路 170 に入力される。その結果リフレッシュ用パルス発生回路 170 からロウイネーブルリフレッシュ信号 RERF とリフレッシュアドレスカウンタアップ信号が出力され、MUX コントロール回路 22 及び SE/PE コントロール回路 23 とリフレッシュアドレスカウンタ 21 にそれぞれ入力される。

リフレッシュアドレスカウンタ 21 は、リフレッシュアドレスカウンタアップ信号が入力されるとリフレッシュすべき X アドレスを例えば 1 カウンタアップした値 (A_n) を出力する。MUX コントロール回路 22 にロウイネーブルリフレッシュ信号 RERF が入力されると、MUX コントロール回路 22 は MUX 20 に対してリフレッシュアドレス転送制御信号 TRE を出力する。MUX 20 にリフレッシュアドレス転送制御信号 TRE が入力されると MUX 20 は、リフレッシュアドレスカウンタ 21 からのリフレッシュアドレス RF-ADD を選択し、そのカウント値 (A_n) をリフレッシュアドレスとして X プリデコーダ 35 を経由して X デコーダ 28 に出力する。X デコーダ 28 はこのリフレッシュアドレス (A_n) で指定されるワード線を活性化する。

リフレッシュ動作の場合、Y アドレスは指定されないので、SE/PE コントロール回路 23 は、ロウイネーブルリフレッシュ信号 RERF が入力されると全てのセンスアンプ/プリチャージ回路 26 を動作させるための信号を出力する。従って、MUX 20 から出力される X アドレス (A_n) で指定されるワード線に接続されている全てのメモリセルに対するリフレッシュ (再書き込み) 動作が各ビット線に接続されたセンスアンプ/プリチャージ回路により実行さ

れる。なお、図5に示されているように、リフレッシュ動作が実行されている最中に次のメモリアクセス要求があっても、実際にメモリアクセスを実行するロウイネーブルノーマル信号 REN は、遅延回路166により予め遅らせて立ち上がるように構成されているので、メモリアクセス動作はリフレッシュ動作を意識することなく実行される。

次に、読み出し動作を実行中にリフレッシュタイマー18からリフレッシュ要求トリガが出力され、リフレッシュ要求信号が“H”レベルに立ち上がった場合(図6)には、メモリアクセス用パルス発生回路171から出力されているラッチコントロール信号 LC は未だ“H”レベルであるのでNORゲート167の出力は“L”レベルとなっており、リフレッシュ要求信号はANDゲート168によって阻止されるためリフレッシュ用パルス発生回路170からロウイネーブルリフレッシュ信号 RERF およびリフレッシュアドレスカウントアップ信号は出力されない。

その後、メモリ読み出し動作が終了してラッチコントロール信号 LC が“L”レベルに立ち下がるとこの立ち下がりによりラッチ回路163～165がリセットされNORゲート167が“H”レベルに立ち上がるので、その時点でリフレッシュ要求信号がANDゲート168を通過してリフレッシュ用パルス発生回路170に入力される。従って、リフレッシュ用パルス発生回路170にはメモリアクセス動作が終了するまで遅延されたリフレッシュ要求信号が入力され、リフレッシュ用パルス発生回路170はこの遅延されたリフレッシュ要求信号が入力された後ロウイネーブルリフレッシュ信号 RERF およびリフレッシュアドレスカウントアップ信号を出力する。以降のリフレッシュ動作は図5に示した動作と同様である。

なお、図5及び図6のタイミングチャートでは読み出し動作とリフレッシュ動作の関係だけを示しているが、書き込み動作とリフレッシュ動作の関係も基本的には同様である。但し、書き込みはレイトライト書き込みを行っているので、書き込み時は、書き込みイネーブル信号/WE が“L”レベルに立ち下がったときにメモリアクセス用パルス発生回路171からロウイネーブルノーマル信号 REN が発生し、レイトライトレジスタ13, 14に格納されている前回の

書き込み要求時に取り込まれたアドレスに対して、Din レジスタ/Dout バッファ 24 のデータレジスタに格納されている前回の書き込み要求時に取り込まれたデータが書き込まれる。

そして、書き込みイネーブル信号/WE が“H”レベルに立ち上がったときに Din レジスタ用クロック CLK により今回の書き込みデータを Din レジスタ/Dout バッファ 24 のデータレジスタに取り込む。またメモリ読み出し時に、今回のメモリ読み出し要求アドレスが、以前の書き込み要求に対して未だ書き込まれていないデータの書き込みアドレスと一致した場合には、上記のバイパス動作を行い、Din レジスタ/Dout バッファ 24 のデータレジスタに格納されているデータを読み出して出力し、メモリセルアレイ 27 から読み出されたデータは廃棄する。

図 7 は、本実施形態において用いられるレイトライトレジスタ 13, 14 のビット単位の構成を示すブロック図である。レイトライトレジスタ 13, 14 はこの構成をそれぞれ X アドレス、Y アドレスのビット幅分備えている。

図 7 において、アドレスラッチ（以下、ADD-ラッチという）131 は、リフレッシュコントロールパルス発生回路 16 からのラッチコントロール信号 LC が“L”レベルである間（ラッチコントロール信号 LC が立ち下がったときから次に立ち上がるまでの間）はアドレスバッファ 11, 12 から供給されているアドレスをそのまま内部アドレスとして出力し、アドレスバッファ 11, 12 から供給されているアドレスをラッチコントロール信号 LC の立ち上がりで取り込んでラッチコントロール信号 LC が“H”レベルである間これを保持するとともに、保持しているアドレスを内部アドレスとして出力する。

書き込み用アドレスラッチ（以下、W-ラッチという）132 は、ADD-ラッチ 131 から出力される内部アドレスを、R/Wコントロール回路 15 からの書き込みラッチコントロール信号 LCWE の立ち上がりで取り込んで保持し、W-ラッチ 133 は、W-ラッチ 132 で保持されている内部アドレスを、上記 LCWE の立ち下がりで取り込んで保持する。読み出し用アドレスラッチ（以下、R-ラッチという）134 は、ADD-ラッチ 131 から出力される内部アドレスを、R/Wコントロール回路 15 からの読み出しラッチコントロール信号 LCRE の

立ち上がりで取り込んで保持する。

トランスファスイッチ 135 は、R/Wコントロール回路 15 からの書き込みラッチコントロール信号 LCWE が “H” レベルである間導通して W-ラッチ 133 に保持されている内部アドレスを出力する。トランスファスイッチ 136 は、R/Wコントロール回路 15 からの読み出しラッチコントロール信号 LCRE が “H” レベルである間導通して ADD-ラッチ 131 に保持されている内部アドレスを出力する。排他的論理和回路 137 は、W-ラッチ 132 で保持されている内部アドレスと R-ラッチ 134 で保持されている内部アドレスとを比較し、両者が一致しているとき “L” レベルとなり、インバータ 139 を介して “H” レベルのアドレスヒット信号 ADDHIT を出力する。

ラッチ回路 138 は、トランスファスイッチ 135 又は 136 を介して出力された書き込みアドレス又は読み出しアドレスを保持する。保持されたアドレスは、Xプリデコーダ 35 又は Yプリデコーダ 36 を介してメモリアクセスアドレスとして Xデコーダ 28 又は Yデコーダ 25 へ出力される。また、ADD-ラッチ 131 の出力信号は、アドレス変化信号 ADDATD としてリフレッシュコントロールパルス発生回路 16 内のワンショットパルス発生回路 161 に出力される。

図 8 は、図 7 に示されたレイトライトレジスタの動作を説明するためのタイミングチャートである。以下、図 7～図 8 を参照して本実施形態におけるレイトライトレジスタの動作を説明する。なお、図 8 のタイミングチャートでは、書き込み要求が少なくとも 2 回継続しその後読み出し要求が継続している場合の例を示している。

外部からアドレス A1 のメモリセルへのデータ書き込み要求があると、レイトライトレジスタに入力されたアドレス信号の変化は ADD-ラッチ 131 をスルーして ADDATD 信号としてリフレッシュコントロールパルス発生回路 16 のワンショットパルス発生回路 161 に出力され（図 4）、リフレッシュコントロールパルス発生回路 16 からはラッチコントロール信号 LC が出力される。ADD-ラッチ 131 はこのラッチコントロール信号 LC により書き込みアドレス A1 をラッチする。W-ラッチ 132 は、ラッチコントロール信号 LC と同期し

た書き込みラッチコントロール信号 LCWE の立ち上がりで書き込みアドレス A 1 を取り込んで保持し、W-ラッチ 1 3 3 は、W-ラッチ 1 3 2 で保持されている書き込みアドレス A 1 を、上記 LCWE の立ち下がり取り込んで保持する。

トランスファスイッチ 1 3 5 は、上記 LCWE が “H” レベルの時オンして W-ラッチ 1 3 3 で保持されている書き込みアドレス A 1 をラッチ回路 1 3 8 へ転送する。従って、W-ラッチ 1 3 2 が書き込みアドレス A 1 を取り込んだ時点では、この書き込みアドレス A 1 はラッチ回路 1 3 8 へは転送されない。次に、外部からアドレス A 2 のメモリセルへのデータ書き込み要求があると、同様にリフレッシュコントロールパルス発生回路 1 6 からラッチコントロール信号 LC が出力され、ADD-ラッチ 1 3 1 はこのラッチコントロール信号 LC により書き込みアドレス A 2 をラッチする。

W-ラッチ 1 3 2 は、ラッチコントロール信号 LC と同期した書き込みラッチコントロール信号 LCWE の立ち上がりで書き込みアドレス A 2 を取り込んで保持するが、このとき、この書き込みラッチコントロール信号 LCWE によりトランスファスイッチ 1 3 5 がオンして、W-ラッチ 1 3 3 で保持されている書き込みアドレス A 1 をラッチ回路 1 3 8 へ転送する。従って、書き込みアドレス A 2 がラッチされた時点で、それ以前に入力されて W-ラッチ 1 3 3 で保持されていた書き込みアドレス A 1 がメモリアクセス用アドレスとして Xデコーダ 2 8 及び Yデコーダ 2 5 に入力されることになり、レイトライトによる書き込みが実行される。また、W-ラッチ 1 3 3 は W-ラッチ 1 3 2 で保持されている次の書き込みアドレス A 2 を、上記 LCWE の立ち下がり取り込んで保持する。

次に、外部からアドレス A 3 のメモリセルのデータ読み出し要求があると、同様にリフレッシュコントロールパルス発生回路 1 6 からラッチコントロール信号 LC が出力され、ADD-ラッチ 1 3 1 はこのラッチコントロール信号 LC により読み出しアドレス A 3 をラッチする。R-ラッチ 1 3 4 は、ラッチコントロール信号 LC と同期した読み出しラッチコントロール信号 LCRE の立ち上がりで読み出しアドレス A 3 を取り込んで保持し、該保持した読み出しアドレス A 3 を排他的論理和回路 1 3 7 へ出力する。排他的論理和回路 1 3 7 は、該入力された読み出しアドレス A 3 と W-ラッチ 1 3 2 で保持されている書き込みアド

レスA 2 とを比較するが、この場合両者は不一致であるのでその出力は“H”レベルとなり、インバータ1 3 9から出力されるアドレスヒット信号 ADDHIT は不一致を示す“L”レベルとなる。また、この読み出しラッチコントロール信号 LCRE によりトランスファスイッチ1 3 6がオンして、ADD-ラッチ1 3 1で保持された読み出しアドレスA 3はラッチ回路1 3 8へ転送される。

次に、外部からアドレスA 2のメモリセルのデータ読み出し要求があると、同様にリフレッシュコントロールパルス発生回路1 6からラッチコントロール信号 LC が出力され、ADD-ラッチ1 3 1はこのラッチコントロール信号 LC により読み出しアドレスA 2をラッチする。R-ラッチ1 3 4は、ラッチコントロール信号 LC と同期した読み出しラッチコントロール信号 LCRE の立ち上がりで読み出しアドレスA 2を取り込んで保持し、該保持した読み出しアドレスA 2を排他的論理和回路1 3 7へ出力する。排他的論理和回路1 3 7は、該入力された読み出しアドレスA 2とW-ラッチ1 3 2で保持されている書き込みアドレスA 2とを比較するが、この場合両者は一致しているのでその出力は“L”レベルとなり、インバータ1 3 9からは一致を示す“H”レベルがアドレスヒット信号 ADDHIT として出力される。

このアドレスヒット信号 ADDHIT はアドレスヒットコントロール回路1 9 (図3)に入力される。アドレスヒットコントロール回路1 9はアドレスヒット信号 ADDHIT として“H”レベルが入力されたときには、Din レジスタ/Dout バッファ2 4に対するヒット信号 HITS を“H”レベルにして、Din レジスタ内に格納されているデータを読み出しデータとして出力するように制御する。なおこの場合読み出しラッチコントロール信号 LCRE によりトランスファスイッチ1 3 6がオンして、ADD-ラッチ1 3 1で保持されている読み出しアドレスA 2はラッチ回路1 3 8へ転送され、アドレスA 2のメモリセルのデータも読み出されるが、この読み出されたデータは廃棄される。

図9は、本実施形態において用いられる Din レジスタ/Dout バッファ2 4のビット単位の構成を示すブロック図である。Din レジスタ/Dout バッファ2 4は、この構成をデータのビット幅分備えている。

図9において、データ取り込み用レジスタ (以下、D-レジスタという) 2 4

1 は、データ I/O コントロール回路 17 からのデータ取り込み用内部クロック DCK の立ち下がりによってデータ入力端子に入力されたデータを取り込む。このデータ取り込み用内部クロック DCK は、書き込みイネーブル信号/WE の立ち上がりエッジから作られる。データ書き込み用ラッチ（以下、D-ラッチという）242 は、データ I/O コントロール回路 17 からのデータ書き込み用内部クロック WEINT が“L”レベルである間は D-レジスタ 241 に格納されているデータをそのまま出力し、データ書き込み用内部クロック WEINT の“H”レベルへの立ち上がり時点でのデータをラッチし、インバータ 243 を介してデータ書き込み読み出し用バス（以下、バス WRB という）へ出力する。

インバータ 243 は、データ書き込み用内部クロック WEINT の“H”レベルのとき動作状態となって、D-ラッチ 242 でラッチされたデータをバス WRB へ転送する。トランスファスイッチ 244 は、アドレスヒットコントロール回路 19 からアドレス一致を示す“H”レベルのヒット信号 HITS が入力されたときオンとなり、D-レジスタ 241 に格納されているデータを、インバータ 246 を介してデータ出力端子へ出力する。一方、トランスファスイッチ 245 は、アドレスヒットコントロール回路 19 からアドレス不一致を示す“L”レベルのヒット信号 HITS が入力されたときオンとなり、メモリセルアレイ 27 からバス WRB に読み出されたデータを、インバータ 246 を介してデータ出力端子へ出力する。

図 10 は、図 9 に示された Din レジスタ/Dout バッファの動作を説明するためのタイミングチャートである。以下、図 9～図 10 を参照して本実施形態における Din レジスタ/Dout バッファの動作を説明する。なお、図 10 のタイミングチャートでは、書き込み要求が 2 回継続しその後読み出し要求が継続している場合の例を示している。

外部からアドレス A1 のメモリセルへデータ D1 の書き込み要求があると、書き込みイネーブル信号/WE が立ち下がり、この/WE の立ち下がりによりデータ書き込み用内部クロック WEINT が“H”レベルとなり、D-ラッチ 242 はそれまで D-レジスタ 241 に格納されていたデータ D_x をラッチし、インバータ 243 は該ラッチしたデータ D_x を書き込みデータとしてバス WRB に転送

する。その後、書き込みイネーブル信号/WE が立ち上がり、データ取り込み用内部クロック DCK が立ち下がる時点でデータ入力端子からのデータ D 1 が D-レジスタ 2 4 1 に格納される。この時点では、データ書き込み用内部クロック WEINT は“L”レベルであるので、D-ラッチ 2 4 2 はデータをラッチせず、インバータ 2 4 3 は不動作状態であるのでデータ D 1 はバス WR B には転送されない。

次に、外部からアドレス A 2 のメモリセルへのデータ D 2 の書き込み要求があると、書き込みイネーブル信号/WE が立ち下がり、この/WE の立ち下がりによりデータ書き込み用内部クロック WEINT が“H”レベルとなり、D-ラッチ 2 4 2 はそれまで D-レジスタ 2 4 1 に格納されていたデータ D 1 をラッチし、インバータ 2 4 3 は該ラッチしたデータ D 1 を書き込みデータとしてバス WR B へ転送する。その後、書き込みイネーブル信号/WE が立ち上がり、データ取り込み用内部クロック DCK が立ち下がる時点でデータ入力端子からのデータ D 2 が D-レジスタ 2 4 1 に格納される。この時点では、データ書き込み用内部クロック WEINT は“L”レベルであるので、D-ラッチ 2 4 2 はデータをラッチせず、インバータ 2 4 3 は不動作状態であるのでデータ D 2 はバス WR B には転送されない。

次に、外部からアドレス A 3 のメモリセルからのデータの読み出し要求があると、出力イネーブル信号/OE が立ち下がり、この/OE の立ち下がりによりアドレス A 3 のメモリセルからのデータの読み出しが行われる。またこのとき、アドレスヒットコントロール回路 1 9 からのヒット信号 HITS はアドレス不一致を示す“L”レベルであるので、トランスファスイッチ 2 4 4 はオフ、トランスファスイッチ 2 4 5 はオンとなり、メモリセルアレイ 2 7 内のアドレス A 3 のメモリセルからバス WR B 上に読み出されたデータがインバータ 2 4 6 を介してデータ出力端子へ出力される。

次に、外部からアドレス A 2 のメモリセルからのデータの読み出し要求があると、出力イネーブル信号/OE が立ち下がり、この/OE の立ち下がりによりアドレス A 2 のメモリセルからのデータの読み出しが行われる。しかしながらこのとき、アドレスヒットコントロール回路 1 9 からのヒット信号 HITS はアド

レス一致を示す“H”レベルとなっているので、トランスファスイッチ244がオン、トランスファスイッチ245はオフとなる。従って、D-レジスタ241に格納されて未だメモリセルアレイ27内のメモリセルに書き込まれていないデータD2がトランスファスイッチ244、インバータ246を介してデータ出力端子へ出力される。

そしてメモリセルアレイ27内のアドレスA2のメモリセルから読み出されたデータはトランスファスイッチ245でその出力が阻止されて廃棄される。なお、D-レジスタ241に格納されて未だメモリセルに書き込まれていないデータD2は、外部から次の書き込み要求が来るまでD-レジスタ241格納されており、書き込み要求が来たときに、メモリセルアレイ27内のアドレスA2にレイトライトで書き込まれる。

図11は、本実施形態において用いられるマルチプレクサ(MUX)20のビット単位の構成を示すブロック図である。MUX20は、この構成をXアドレスのビット幅分備えている。

図11において、トランスファスイッチ201は、MUXコントロール回路22から出力されるノーマルアドレス転送制御信号TNが“H”レベルのときオンとなって、Xアドレス用レイトライトレジスタ13から出力される内部アドレスEX-ADDをラッチ回路203へ転送する。トランスファスイッチ202は、MUXコントロール回路22から出力されるリフレッシュアドレス転送制御信号TREが“H”レベルのときオンとなって、リフレッシュアドレスカウンタ21から出力されるリフレッシュアドレスRF-ADDをラッチ回路203へ転送する。ラッチ回路203は、トランスファスイッチ201またはトランスファスイッチ202を介して転送された内部アドレスEX-ADDまたはリフレッシュアドレスRF-ADDを保持し、XアドレスX-ADDとしてXプリデコーダ35を介してXデコーダ28に出力する。

ノーマルアドレス転送制御信号TNまたはリフレッシュアドレス転送制御信号TREは、アドレスを取り込むときのみ“H”レベルとなり、その期間だけトランスファスイッチ201またはトランスファスイッチ202をオンにして内部アドレスEX-ADDまたはリフレッシュアドレスRF-ADDをラッチ回路20

3に転送制御し、その期間以外の間はノーマルアドレス転送制御信号 TN およびリフレッシュアドレス転送制御信号 TRE を“L”レベルとすることにより、Xアドレス用レイトライトレジスタ13あるいはリフレッシュアドレスカウンタ21からの不必要な電流出力を制限して低消費電流化を図っている。

図12は、図11に示されたMUX回路の動作を説明するためのタイミングチャートである。以下、図11～図12を参照して本実施形態におけるMUX回路の通常の読み出し／書き込み（ノーマルリード／ライト）時と、メモリリフレッシュを行うスタンバイモード時における動作を説明する。なお、図12ではメモリ読み出し（リード）時の動作が示されているが、書き込み（ライト）時もレイトライト動作が行われる点を除いて基本的な動作は同様である。

ノーマルリード時において、外部からアドレスA1のメモリセルへのメモリアクセス要求があると、このアドレス変化により、Xアドレス用レイトライトレジスタ13から内部アドレス EX-ADD としてアドレスA1が出力される。一方、このアドレス変化により、リフレッシュコントロールパルス発生回路16からMUXコントロール回路22に対してロウイネーブルノーマル信号 REN が出力される。MUXコントロール回路22はロウイネーブルノーマル信号 REN の入力を受けて、一定期間だけ“H”レベルとなるノーマルアドレス転送制御信号 TN をトランスファスイッチ201へ出力する。ラッチ回路203は、ノーマルアドレス転送制御信号 TN が“H”レベルの期間にトランスファスイッチ201を介して入力されたアドレスA1をラッチし、XアドレスA1として出力する。

次に、外部からアドレスA3のメモリセルへのメモリアクセス要求があると、同様にして、ラッチ回路203は、ノーマルアドレス転送制御信号 TN が“H”レベルの期間にトランスファスイッチ201を介して入力されたアドレスA3をラッチし、XアドレスA3として出力する。このとき、リフレッシュタイマー18からのリフレッシュ要求トリガが発生し、リフレッシュコントロールパルス発生回路16からロウイネーブルリフレッシュ信号 RERF が出力されると、MUXコントロール回路22はこのロウイネーブルリフレッシュ信号 RERF を受けて、一定期間だけ“H”レベルとなるリフレッシュアドレス転送制御信号 TRE

をトランスファスイッチ202へ出力する。

ラッチ回路203は、リフレッシュアドレス転送制御信号TREが“H”レベルの期間にトランスファスイッチ202を介して入力されたリフレッシュアドレスカウンタ21からのリフレッシュアドレス A_n をラッチし、Xアドレス A_n として出力する。その後、リフレッシュアドレスカウンタ21は、リフレッシュコントロールパルス発生回路16からのカウントアップ信号を受けてリフレッシュアドレスを $A_n + 1$ にカウントアップする。

一方、リフレッシュ動作が行われるスタンバイモード時には、リフレッシュタイマー18から定期的なリフレッシュ要求トリガが発生し、それに伴ってリフレッシュコントロールパルス発生回路16からロウイネーブルリフレッシュ信号RERFが出力される。MUXコントロール回路22はこのロウイネーブルリフレッシュ信号RERFを受けて、一定期間だけ“H”レベルとなるリフレッシュアドレス転送制御信号TREをトランスファスイッチ202へ出力する。ラッチ回路203は、リフレッシュアドレス転送制御信号TREが“H”レベルの期間にトランスファスイッチ202を介して入力されたリフレッシュアドレスカウンタ21からのリフレッシュアドレスRF-ADDをラッチし、Xアドレスとして出力する。

リフレッシュアドレスカウンタ21は、リフレッシュコントロールパルス発生回路16からのカウントアップ信号を受けてリフレッシュアドレスを順次カウントアップする。なお、リフレッシュタイマー18は、そのリフレッシュ要求トリガを発生するタイマー周期として、アクティブモード時におけるリフレッシュタイマー周期を、リフレッシュを伴うスタンバイモード時におけるリフレッシュタイマー周期よりも短く設定しており、外部からのモード切り換えに応じて切り換えられるようになっている。アクティブモード時にビット線がアクセスされると、ビット線の電位変動（ディスタープ）が増大して保持電位が不安定となるためにメモリ保持タイムが小さくなる傾向がある。従って、アクティブモード時にはリフレッシュを伴うスタンバイモード時よりもリフレッシュ周期を短くし、各モードに最適なりフレッシュタイマー周期を設定している。

図13は、本実施形態において用いられるマルチプレクサ(MUX)20他

の構成を示すビット単位のブロック図である。この構成は、メモリチップを複数（図は4個の例）のサブアレーに分割し、サブアレー毎に独立したXデコーダ、Yデコーダおよびセンスアンププリチャージ回路を備えている場合に適用される。この場合、リフレッシュ時に各サブアレーからそれぞれ1本のワード線を選択するマルチワード選択を行うことにより、1回のワード線活性化動作で複数のワード線を活性化できるので、コントロール回路部分の動作回数を減らすことが可能でありその分低消費電力化を図ることが出来る。

図13では、プリデコーダ204は、レイトライトレジスタ13から入力された内部アドレスEX-ADDの上位2ビットをデコードすることにより、4個のサブアレー宛のXアドレスSX-ADDを出力する。プリデコーダ204の各サブアレー宛の出力端に接続された各トランスファスイッチ201は、MUXコントロール回路22から出力されるノーマルアドレス転送制御信号TNが“H”レベルのときオンとなって、各サブアレー宛のXアドレスSX-ADDを各ラッチ回路203へ転送する。各トランスファスイッチ202は、MUXコントロール回路22から出力されるリフレッシュアドレス転送制御信号TREが“H”レベルのときオンとなって、リフレッシュアドレスカウンタ21から出力されるリフレッシュアドレスSRF-ADDを各ラッチ回路203へ転送する。

各ラッチ回路203は、トランスファスイッチ201またはトランスファスイッチ202を介して転送された各サブアレー宛のXアドレスSX-ADDまたはリフレッシュアドレスSRF-ADDを保持し、XアドレスX-ADDとして各サブアレーのXデコーダ28に出力する。図13の構成によれば、メモリリフレッシュは、プリデコーダ204によるプリデコード後のデコード信号に対応するリフレッシュアドレスカウンタ21を備えればよく、また、複数のサブアレーから選択されたワード線の活性化制御を同時に実行できるので、ワード線活性化制御のための動作を減らすことができる。ワード線活性化制御動作自体電力消費を伴うのでその制御動作回数を減らせばその分消費電力を減らすことができる。

図14は、本発明の第2の実施形態による半導体記憶装置の構成を示すブロック図である。本実施形態は、第1の実施形態に対して、汎用のDRAMなど

で採用されているページモードと同様の機能を付加したものである。本実施形態は、Yアドレスのビット幅がページアドレスと直接メモリセルアレイをアクセスするアドレスとに分割されている点を除いて、図3に示す第1の実施形態と同一番号が付されているブロックは同じ構成要素からなっているので、重複する部分についてはその詳細説明を省略する。

本実施形態では、Yアドレスを上位ビット側のアドレス Y3～Y8 と下位ビット側のアドレス Y0～Y2 (ページアドレス) に分割することにより、上位ビット側のアドレスを同じくするビットについてはページアドレスを変えるだけで連続して入出力可能にしている。図に示す実施例では、ページアドレスを3ビット幅としているので、“000” B～“111” B (「B」は2進数を意味する) の範囲で可変することにより、連続する8アドレス分のデータを同じメモリサイクル内で連続的にアクセス可能となる。なお、ページアドレスの幅はYアドレスのビット幅の範囲内であれば任意に設定できる。

図14において、Yアドレスは9ビットの内3ビットをページアドレスとしているので、アドレスバッファ12はビット幅が6ビットとなり、下位3ビットはアドレスバッファ41に入力される。これらのアドレスバッファ11, 12, 41は、それぞれアドレスのビット幅が異なる点を除いて同様の構成となっている。また、実施例では下位3ビットをページアドレスとしているので、メモリセルアレイ27からは同時に8本のビット線が選択されて連続的に読み出しあるいは書き込みが行われる。そこで、バスWRBと各ビット線のセンスアンプ／プリチャージ回路26間の接続切り替えを行うために、読み出しページアドレス用Yデコーダ43、書き込みページアドレス用Yデコーダ44、およびページ書き込み読み出し回路45を備えている。

アドレスバッファ41の出力は、ページアドレスレジスタ42に入力される。ページアドレスレジスタは後述するように、ATD出力は有しておらず、ラッチコントロール信号LCによるアドレスラッチ、及び読み出しラッチコントロール信号LCREによるアドレスラッチも不要である。ページアドレスレジスタ42からの読み出し用ページアドレスは読み出しページアドレス用Yデコーダ43に入力され、ページアドレスレジスタ42からの書き込み用ページアドレス

は書き込みページアドレス用Yデコーダ44に入力される。読み出しページアドレス用Yデコーダ43および書き込みページアドレス用Yデコーダ44のデコード出力はページ書き込み読み出し回路45に入力される。

ページ書き込み読み出し回路45は、その出力端子がページ毎に共通のページアドレスを有するセンスアンプと接続され、Dinレジスタ/Doutバッファ24からのデータを増幅する8個の書き込みアンプ(W-Amp)と、その入力端子がページ毎に共通のページアドレスを有するセンスアンプと接続され、メモリセルアレイから読み出されたデータを格納し増幅してDinレジスタ/Doutバッファ24へ出力する8個の読み出しデータアンプ(D-Reg+D-Amp)とを備えている。これら8個の書き込みアンプW-Ampおよび読み出しデータアンプD-Reg+D-Ampは、入力された書き込みページアドレスまたは読み出しページアドレスを、書き込みページアドレス用Yデコーダ44または読み出しページアドレス用Yデコーダ43でデコードすることにより選択された書き込みアンプW-Ampまたは読み出しデータアンプD-Reg+D-Ampのみが活性化されてデータ取り込み用内部クロックDCKあるいはデータ書き込み用内部クロックWEINTにより制御されて動作し、バスWRBから入力された書き込みデータを該当ビット線へ出力し、または該当ビット線に読み出されたデータをバスWRBへ出力する。

図15は、本実施形態において用いられるページアドレスレジスタ42のビット単位の構成を示すブロック図である。図15において、書き込み用アドレスラッチ(W-ラッチ)151は、アドレスバッファ41から出力されるページアドレスを、R/Wコントロール回路15からの書き込みラッチコントロール信号LCWEの立ち上がりで取り込んで保持し、W-ラッチ152は、W-ラッチ151で保持されている内部ページアドレスを、上記LCWEの立ち下がり取り込んで保持する。トランスファスイッチ153は、R/Wコントロール回路15からの書き込みラッチコントロール信号LCWEが“H”レベルである間導通してW-ラッチ152に保持されている内部ページアドレスを出力する。

排他的論理和回路154は、W-ラッチ151で保持されている内部ページアドレスとアドレスバッファ41から出力されるページアドレスとを比較し、両

者が一致しているとき“L”レベルとなり、インバータ156を介して“H”レベルのアドレスヒット信号 ADDHIT を出力する。ラッチ回路155は、トランスファスイッチ153を介して出力された書き込みアドレスを保持し書き込みページアドレス用Yデコーダ44へ出力する。また、読み出し時には、アドレスバッファ41から出力されるアドレスがページアドレスとしてインバータ157を介して直接、読み出しページアドレス用Yデコーダ43に出力する。

図16は、図15に示されたページアドレスレジスタの動作を説明するためのタイミングチャートである。以下、図15～図16を参照して本実施形態におけるレイトライトレジスタの動作を説明する。なお、図15のタイミングチャートでは、書き込み要求が2回継続しその後読み出し要求が継続した場合の例を示している。

外部からアドレスA1のメモリセルへのデータ書き込み要求があると、レイトライトレジスタ13、14に入力されたアドレス信号の変化により、ADDATD信号がリフレッシュコントロールパルス発生回路16に出力され（図4）、リフレッシュコントロールパルス発生回路16からはラッチコントロール信号 LC が出力される。W-ラッチ151は、このラッチコントロール信号 LC と同期した書き込みラッチコントロール信号 LCWE の立ち上がりで書き込みアドレスA1のページアドレスを取り込んで保持し、W-ラッチ152は、W-ラッチ151で保持されている書き込みアドレスA1のページアドレスを、上記 LCWE の立ち上がり取り込んで保持する。トランスファスイッチ153は、上記 LCWE が“H”レベルの時オンして W-ラッチ151で保持されている書き込みアドレスA1のページアドレスをラッチ回路155へ転送する。従って、W-ラッチ151が書き込みアドレスA1のページアドレスを取り込んだ時点では、この書き込みアドレスA1のページアドレスはラッチ回路155へは転送されない。

次に、外部からアドレスA2のメモリセルへのデータ書き込み要求があると、同様にリフレッシュコントロールパルス発生回路16からラッチコントロール信号 LC が出力され、W-ラッチ151は、このラッチコントロール信号 LC と同期した書き込みラッチコントロール信号 LCWE の立ち上がりで書き込みアドレスA2のページアドレスを取り込んで保持するが、このとき、この書き込

みラッチコントロール信号 LCWE によりトランスファスイッチ 153 がオンして、W-ラッチ 151 で保持されている以前の書き込みアドレス A1 のページアドレスをラッチ回路 155 へ転送する。従って、書き込みアドレス A2 のページアドレスがラッチされた時点で、それ以前に入力されて W-ラッチ 151 で保持されていた書き込みアドレス A1 のページアドレスが書き込み用ページアドレスとして、書き込みページアドレス用 Y デコーダ 44 に入力され、レイトライイトによる書き込みが実行される。また、W-ラッチ 152 は W-ラッチ 151 で保持されている次の書き込みアドレス A2 のページアドレスを上記 LCWE の立ち下がりで取り込んで保持する。

次に、外部からアドレス A3 のメモリセルのデータ読み出し要求があると、同様にリフレッシュコントロールパルス発生回路 16 からラッチコントロール信号 LC が出力されるが、ページアドレスレジスタには読み出しラッチコントロール信号 LCRE は入力されず、従って、この読み出しアドレス A3 のページアドレスはそのまま排他的論理和回路 154 に入力されるとともにインバータ 157 を介して読み出し用ページアドレスとして、読み出しページアドレス用 Y デコーダ 44 へ出力される。排他的論理和回路 154 は、該入力された読み出しアドレス A3 のページアドレスと W-ラッチ 151 で保持されている書き込みアドレス A2 のページアドレスとを比較するが、この場合両者は不一致であるのでその出力は“H”レベルとなり、インバータ 156 から出力されるアドレスヒット信号 ADDHIT は不一致を示す“L”レベルである。

次に、外部からアドレス A2 のメモリセルのデータ読み出し要求があると、同様に、この読み出しアドレス A2 のページアドレスはそのまま排他的論理和回路 154 に入力されるとともにインバータ 157 を介して読み出し用ページアドレスとして、読み出しページアドレス用 Y デコーダ 44 へ出力される。排他的論理和回路 154 は、該入力された読み出しアドレス A2 のページアドレスと W-ラッチ 151 で保持されている書き込みアドレス A2 のページアドレスとを比較するが、この場合両者は一致しているのでその出力は“L”レベルとなり、インバータ 156 からは一致を示す“H”レベルがアドレスヒット信号 ADDHIT として出力される。このアドレスヒット信号 ADDHIT はアドレスヒ

ットコントロール回路 19（図 14）に入力される。アドレスヒットコントロール回路 19 はアドレスヒット信号 ADDHIT として“H”レベルが入力されたときには、Din レジスタ/Dout バッファ 24 に対して、Din レジスタ内に格納されているデータを読み出しデータとして出力するように制御する。

図 17 は、本実施形態において用いられるアドレスヒットコントロール回路 19 の構成を示すブロック図である。アドレスヒットコントロール回路は AND ゲート 191 と 192 から構成されている。AND ゲート 191 は、アドレスビット毎に図 7 によって構成されるレイトライトレジスタ 13、14 の排他的論理和回路 137 から出力される全てのアドレスヒット信号 ADDHIT の論理積を出力する。AND ゲート 192 は、AND ゲート 191 の出力とページアドレスビット毎に図 15 によって構成されるページアドレスレジスタ 42 の排他的論理和回路 154 から出力される全てのアドレスヒット信号 ADDHIT の論理積を出力する。

ページアドレスレジスタでは、1 メモリサイクル内で複数のアドレスが入力される関係上全てのアドレスヒット信号 ADDHIT が出力されるまでに時間がかかる。そこで、ページアドレス以外のアドレスヒット信号 ADDHIT の論理積によるヒット判定信号 HIT ϕ と、ページアドレスのアドレスヒット信号 ADDHIT との論理積をとってヒット信号 HITS を出力することによってページアドレスからのヒット信号発生パスを高速にし、ヒット信号出力の高速化及び安定化を図っている。

産業上の利用可能性

本発明は、メモリセルアレイに対するリフレッシュ動作をメモリセルアクセス動作とは独立に実行させ、リフレッシュ動作がメモリアクセス動作と衝突した場合には、リフレッシュ動作を当該衝突したメモリアクセス動作が終了するまで遅延させる手法及び回路構成を採用しているので、必要最小限のリフレッシュ動作を行うことによりリフレッシュ動作に伴う消費電力を減らすことを可能にするとともに、メモリアクセスに影響を与えることなく確実にリフレッシュ動作を実行させることができる。

また、本発明では、メモリアクセスが書き込み要求であった場合にはライトライトによる書き込み動作を行うので、当該衝突したメモリアクセスが読み出し要求又は書き込み要求のいずれであっても、当該メモリサイクル内で余裕を持ってリフレッシュ動作を実行することができ、メモリリフレッシュ動作を意識することなくメモリアクセスを行うことができる。

請求の範囲

1. リフレッシュを必要とするメモリセルで構成されたメモリセルアレイを有し、アクセスアドレスに対して読み出し要求又は書き込み要求が非同期的に与えられる半導体記憶装置において、

前記メモリセルアレイに対するリフレッシュ要求信号を周期的に出力するリフレッシュタイマーと、

前記書き込み要求に対して、当該書き込み要求に対するメモリサイクルよりも前の時点のメモリサイクルで与えられた書き込み要求に対するアクセスアドレス及び書き込みデータをレイトライトで書き込むレイトライト書き込み制御回路と、

前記リフレッシュタイマーからのリフレッシュ要求信号を受けて前記メモリセルアレイに対するリフレッシュを実行するとともに、前記リフレッシュ要求信号が前記読み出し要求又は前記書き込み要求と衝突したとき、前記リフレッシュの実行を該衝突した読み出し要求又は書き込み要求に対するメモリセルの読み出し動作又はレイトライト書き込み動作が終了するまで遅延させるリフレッシュ制御回路とを含む半導体記憶装置。

2. 前記リフレッシュタイマーは、そのリフレッシュ要求トリガを発生するタイマー周期として、アクティブモード時のタイマー周期を、リフレッシュ動作を伴うスタンバイモード時のタイマー周期よりも短く設定するタイマー周期切り換え機能を有している請求項1記載の半導体記憶装置。

3. 前記リフレッシュ制御回路は、

メモリアクセス用のイネーブル信号と、メモリアクセスアドレスを格納するレイトライトレジスタからのアドレス変化検出信号と、前記リフレッシュタイマーからのリフレッシュ要求トリガとを入力して、メモリアクセスアドレスのラッチ動作を制御するラッチコントロール信号と、リフレッシュアドレスカウンタアップ信号と、ロウイネーブルノーマル信号及びロウイネーブルリ

フレッシュ信号とを出力するとともに、前記ラッチコントロール信号を出力中に前記リフレッシュタイマーからのリフレッシュ要求信号が入力されたとき前記ラッチコントロール信号が立ち下がるまで前記ロウイネーブルリフレッシュ信号の出力を遅延させる機能を有するリフレッシュコントロールパルス発生回路と、

前記リフレッシュコントロールパルス発生回路から出力されたリフレッシュアドレスカウンタアップ信号を入力して、リフレッシュアドレスをカウンタアップするリフレッシュアドレスカウンタと、

前記メモリアクセスアドレスのうちのロウアドレス（Xアドレス）と前記リフレッシュアドレスカウンタから出力されるリフレッシュアドレスを入力し、いずれか一方をXアドレスとしてXデコーダへ切り換えて出力するマルチプレクサと、

前記リフレッシュコントロールパルス発生回路から出力されたロウイネーブルノーマル信号およびロウイネーブルリフレッシュ信号を入力し、前記マルチプレクサから出力されるXアドレスの切り換えを制御するノーマルアドレス転送制御信号およびリフレッシュアドレス転送制御信号を前記マルチプレクサへ出力するMUXコントロール回路と、

前記リフレッシュコントロールパルス発生回路から出力されたロウイネーブルノーマル信号およびロウイネーブルリフレッシュ信号により、前記メモリのセンスアンプ／プリチャージ回路を制御するセンスイネーブル／プリチャージイネーブルコントロール回路とを含む請求項1に記載の半導体記憶装置。

4. リフレッシュを必要とするメモリセルで構成されたメモリセルアレイを有する半導体記憶装置において、

前記メモリセルに対する読み出し要求又は書き込み要求とは独立にリフレッシュ要求を発生するリフレッシュ要求発生回路と、

前記リフレッシュ要求発生回路からのリフレッシュ要求が、前記読み出し要求又は書き込み要求と衝突したとき、前記リフレッシュの実行を前記読み出し要求又は書き込み要求に対する前記メモリセルの読み出し動作又は書き

込み動作が終了するまで遅延させるリフレッシュ制御回路とを含む半導体記憶装置。

5. 前記書き込み動作を実行する書き込み動作は、前記書き込み要求に対するメモリサイクルよりも前の時点のメモリサイクルで与えられた書き込み要求に対するアクセスアドレスおよび書き込みデータを書き込むレイトライト書き込み動作である請求項4記載の半導体記憶装置。

6. 今回の書き込み要求アドレスを格納するアドレス格納装置と、読み出し要求アドレスと前回の書き込み要求時に前記アドレス格納装置に格納した書き込みアドレスとを比較して、一致しているときアドレスヒット信号を出力するアドレスヒット制御回路とを更に含む請求項5記載の半導体記憶装置。

7. 前記半導体記憶装置はページモード機能を有し、ページアドレスと前記ページアドレス以外のアドレスとのそれぞれに対して、前記アドレス格納装置と前記アドレスヒット制御回路とが設けられた請求項6記載の半導体記憶装置。

8. 前記ページアドレスのアドレスヒット信号と前記ページアドレス以外のアドレスヒット信号との論理信号を出力するページモード用アドレスヒット制御回路を更に含む請求項7記載の半導体記憶装置。

9. 前記リフレッシュ制御回路は、更に、
アドレスの変化に応答して、一方の論理レベルを有するワンショット信号を発生するワンショットパルス発生回路と、
前記ワンショットパルスの前記一方の論理レベルを保持するラッチ回路と、
前記ラッチ回路の出力を所定時間だけ遅延する遅延回路と、
前記リフレッシュ要求に応答してリフレッシュ要求信号を発生するリ

フレッシュ要求発生回路と、

前記ラッチ回路の出力信号と前記リフレッシュ要求信号とに応答してリフレッシュ動作のタイミング制御信号を発生するリフレッシュパルス発生回路と、

前記ラッチ回路の出力信号と前記遅延回路の出力信号とに基づいて前記読み出し動作または書き込み動作のタイミング制御信号とラッチコントロール信号とを発生するメモリアクセス用パルス発生回路とを含む請求項 4 記載の半導体記憶装置。

10. 前記所定時間は、リフレッシュ動作時間に基づいて設定される請求項 9 記載の半導体記憶装置。

11. 前記ラッチ回路は、前記ラッチコントロール信号に応答して他方の論理レベルにリセットされる請求項 9 記載の半導体記憶装置。

12. 前記ラッチ回路の出力信号が前記一方の論理レベルにあるときは、前記リフレッシュ動作が禁止され、前記読み出し要求アドレスあるいは書き込み要求アドレスへのアクセスが行われる請求項 9 記載の半導体記憶装置。

13. 前記ラッチ回路の出力信号が前記他方の論理レベルにあるときは、前記リフレッシュ要求に基づくリフレッシュ動作が行われる請求項 11 記載の半導体記憶装置。

14. 前記リフレッシュ要求は、前記読み出し要求または書き込み要求とは独立に動作するリフレッシュタイマーから発生される請求項 9 記載の半導体記憶装置。

15. 前記読み出し要求または書き込み要求を入力するイネーブル信号の前記一方の論理レベルを保持するその他のラッチ回路と、

前記ラッチ回路の出力信号と前記その他のラッチ回路の出力信号とを入力とする論理回路とを更に含み、

前記リフレッシュパルス発生回路は、前記論理回路の出力信号と前記リフレッシュ要求信号とに応答してリフレッシュ動作のタイミング制御信号を発生し、

前記メモリアクセス用パルス発生回路は、前記論理回路の出力信号と前記遅延回路の出力信号とに基づいて前記読み出し動作または書き込み動作のタイミング制御信号とラッチコントロール信号とを発生する請求項 9 記載の半導体記憶装置。

16. 前記その他のラッチ回路は、前記ラッチコントロール信号に応答して他方の論理レベルにリセットされる請求項 15 記載の半導体記憶装置。

17. 前記ラッチ回路の出力信号と前記その他のラッチ回路の出力信号とのいずれかあるいは両方が前記一方の論理レベルにあるときは、前記リフレッシュ動作が禁止され、前記読み出し要求アドレスあるいは書き込み要求アドレスへのアクセスが行われる請求項 15 記載の半導体記憶装置。

18. 前記ラッチ回路の出力信号と前記その他のラッチ回路の出力信号の両方が前記他方の論理レベルにあるときは、前記リフレッシュ要求に基づくリフレッシュ動作が行われる請求項 15 記載の半導体記憶装置。

19. リフレッシュを必要とするメモリセルで構成された半導体記憶装置のリフレッシュ制御方法であって、読み出し要求または書き込み要求と、前記読み出し要求または書き込み要求とは独立に発生されるリフレッシュ要求とが衝突した時、前記リフレッシュの実行を前記読み出し要求または書き込み要求に対するメモリセルの読み出し動作または書き込み動作が終了するまで遅延させるリフレッシュ制御方法。

20. 前記書き込み動作は、前記書き込み要求に対するメモリサイクルよりも前の時点のメモリサイクルで与えられた書き込み要求に対するアクセスアドレスおよび書き込みデータを書き込むレイトライトで行われる請求項19記載のリフレッシュ制御方法。

図 1

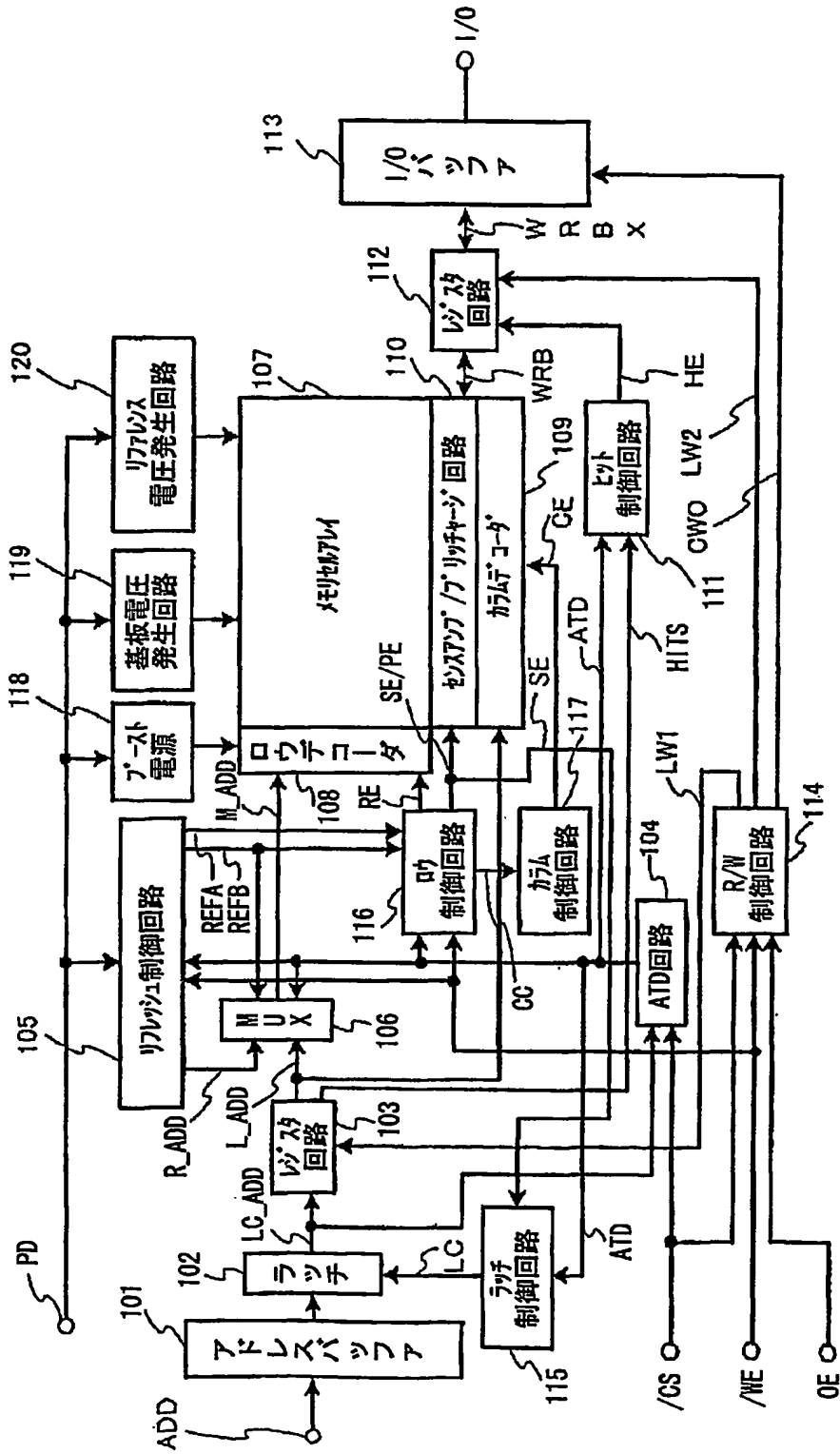


図 2

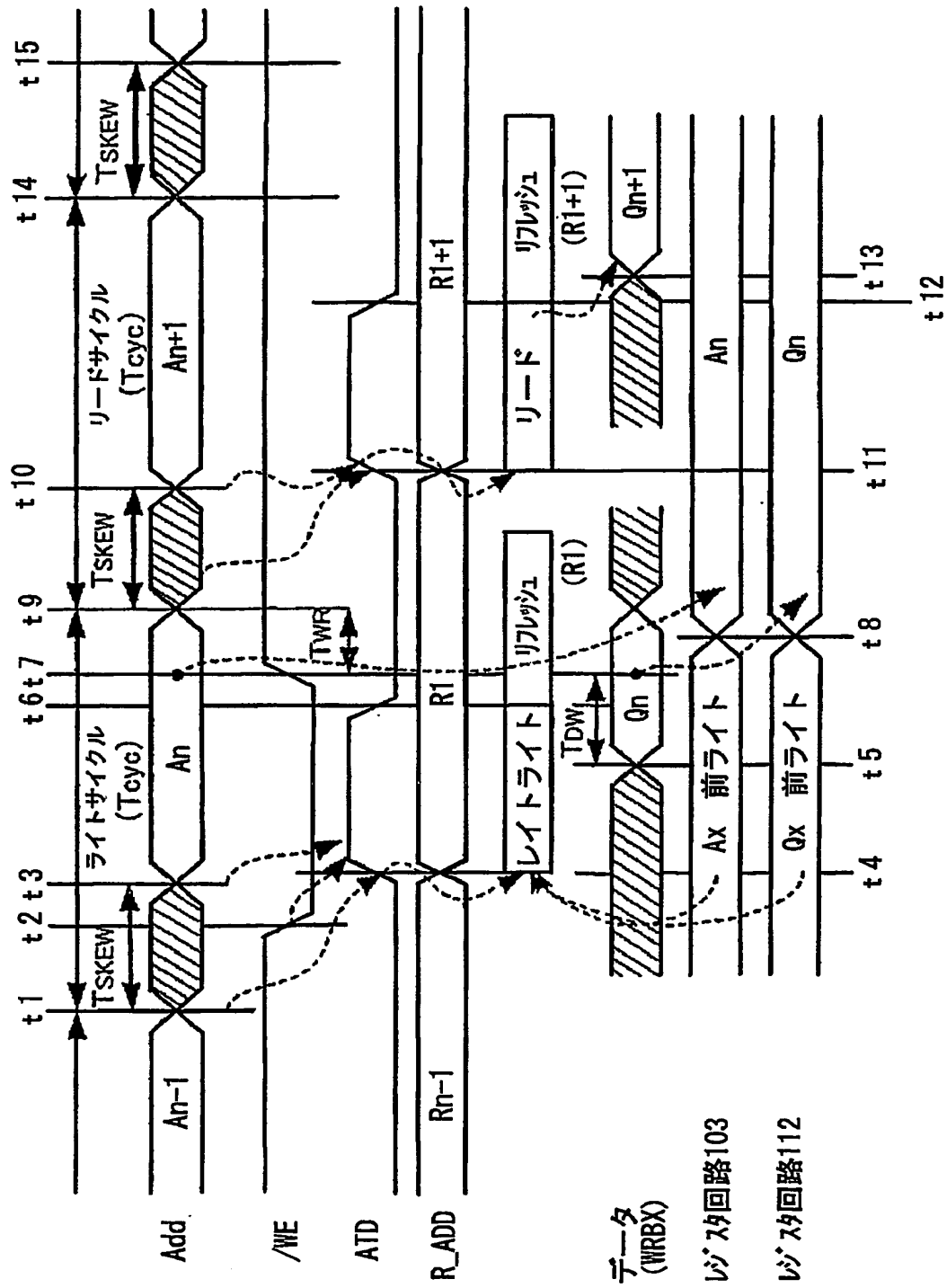


図 4

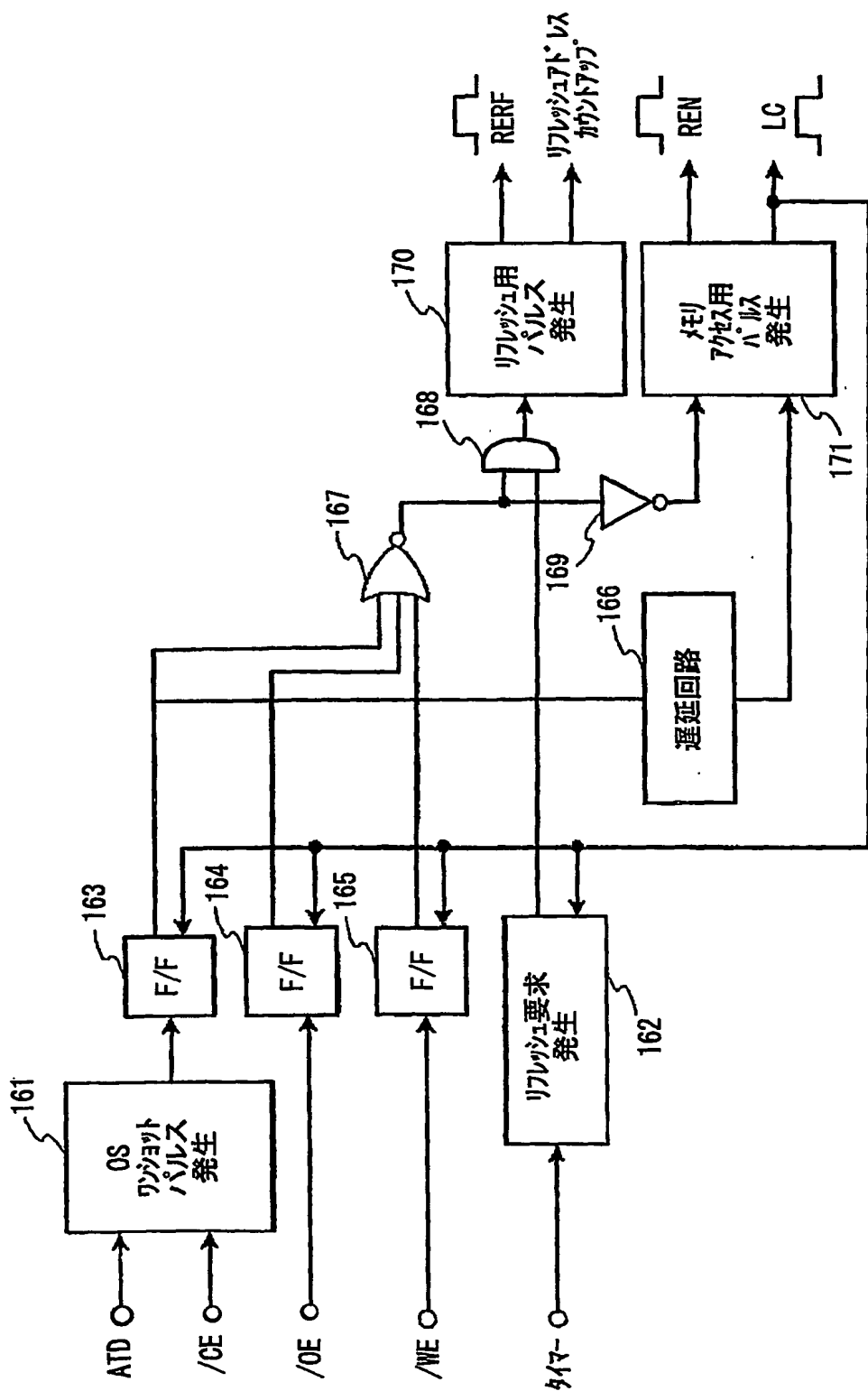


図 5

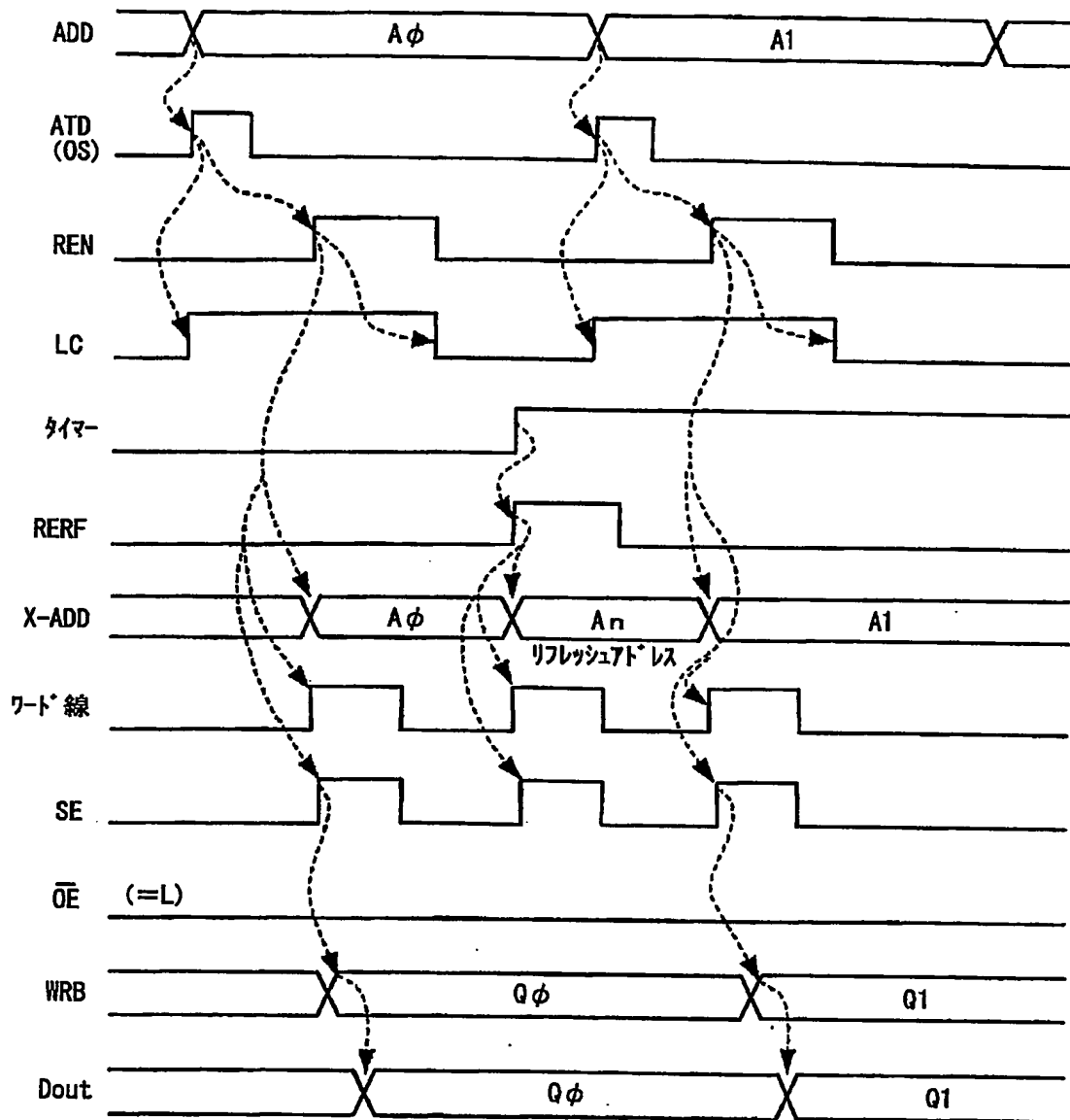


図 6

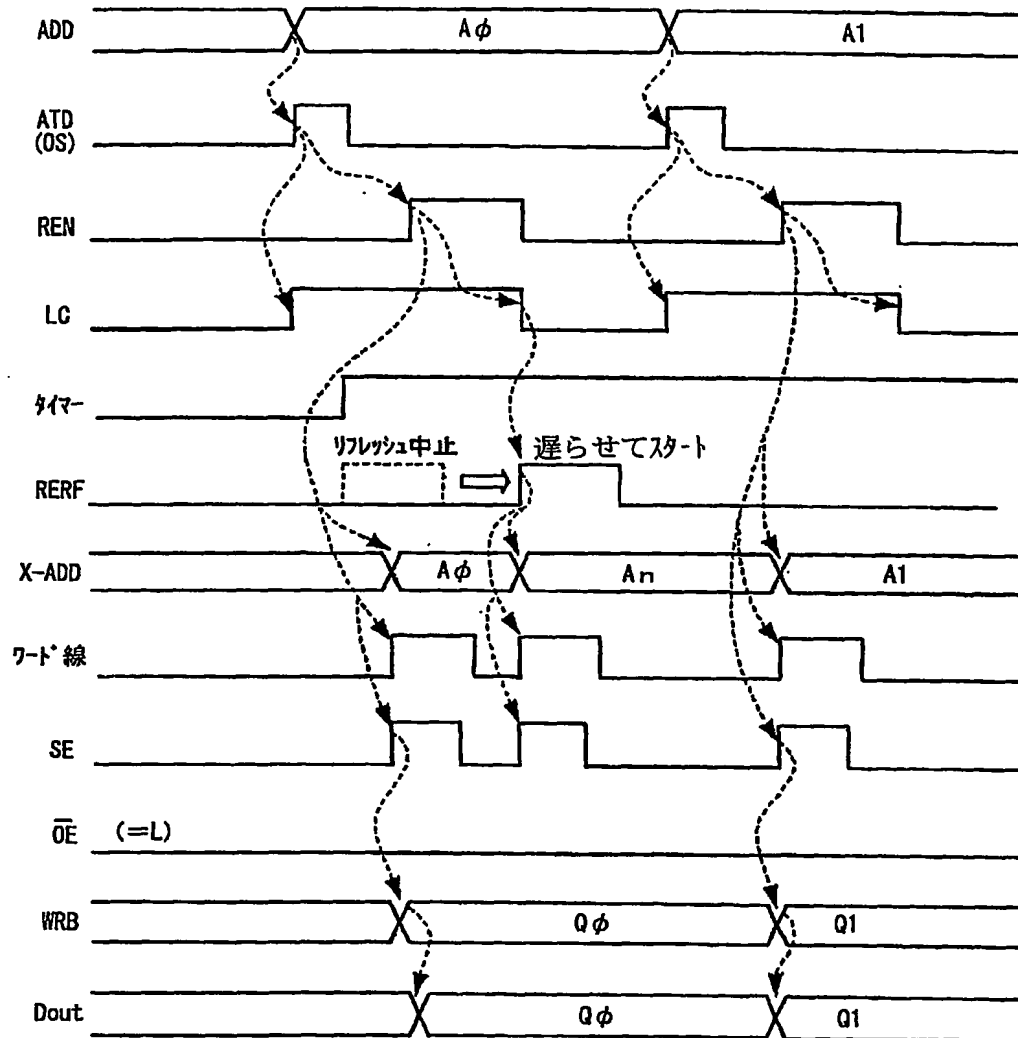


図 7

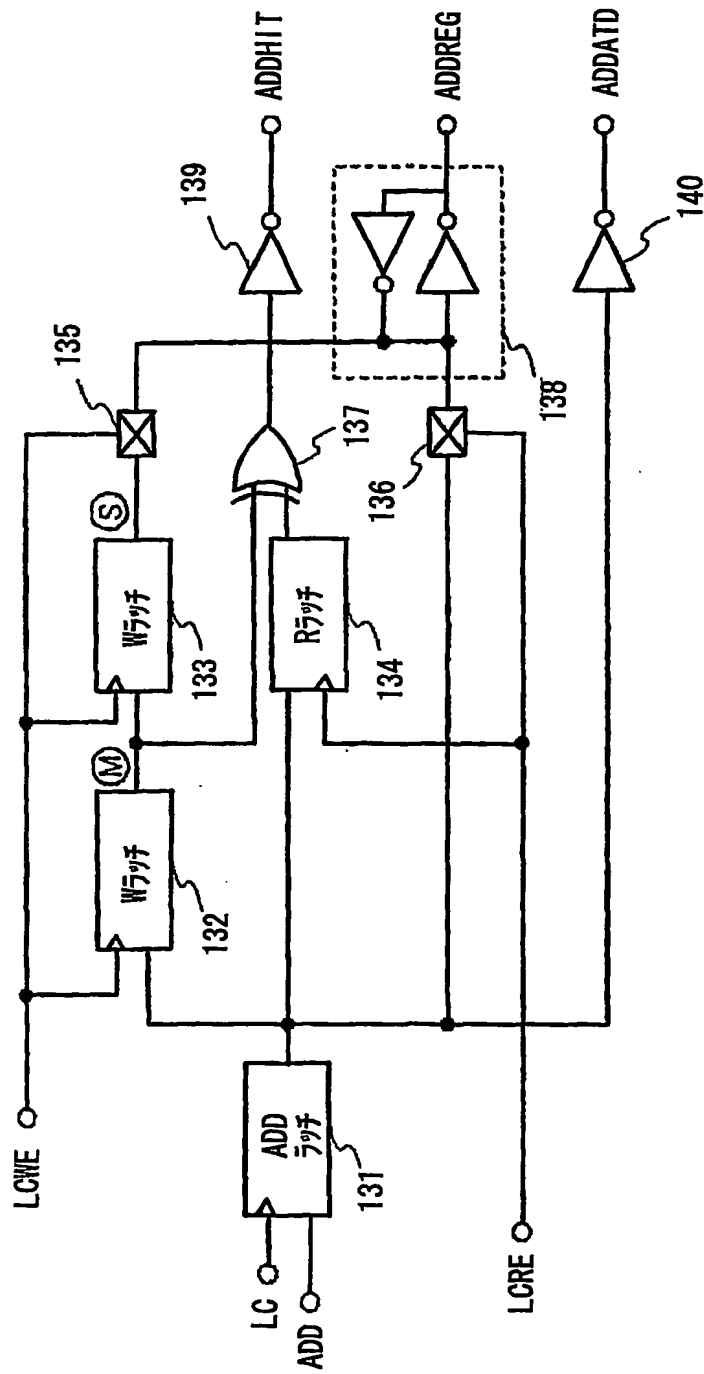


図 8

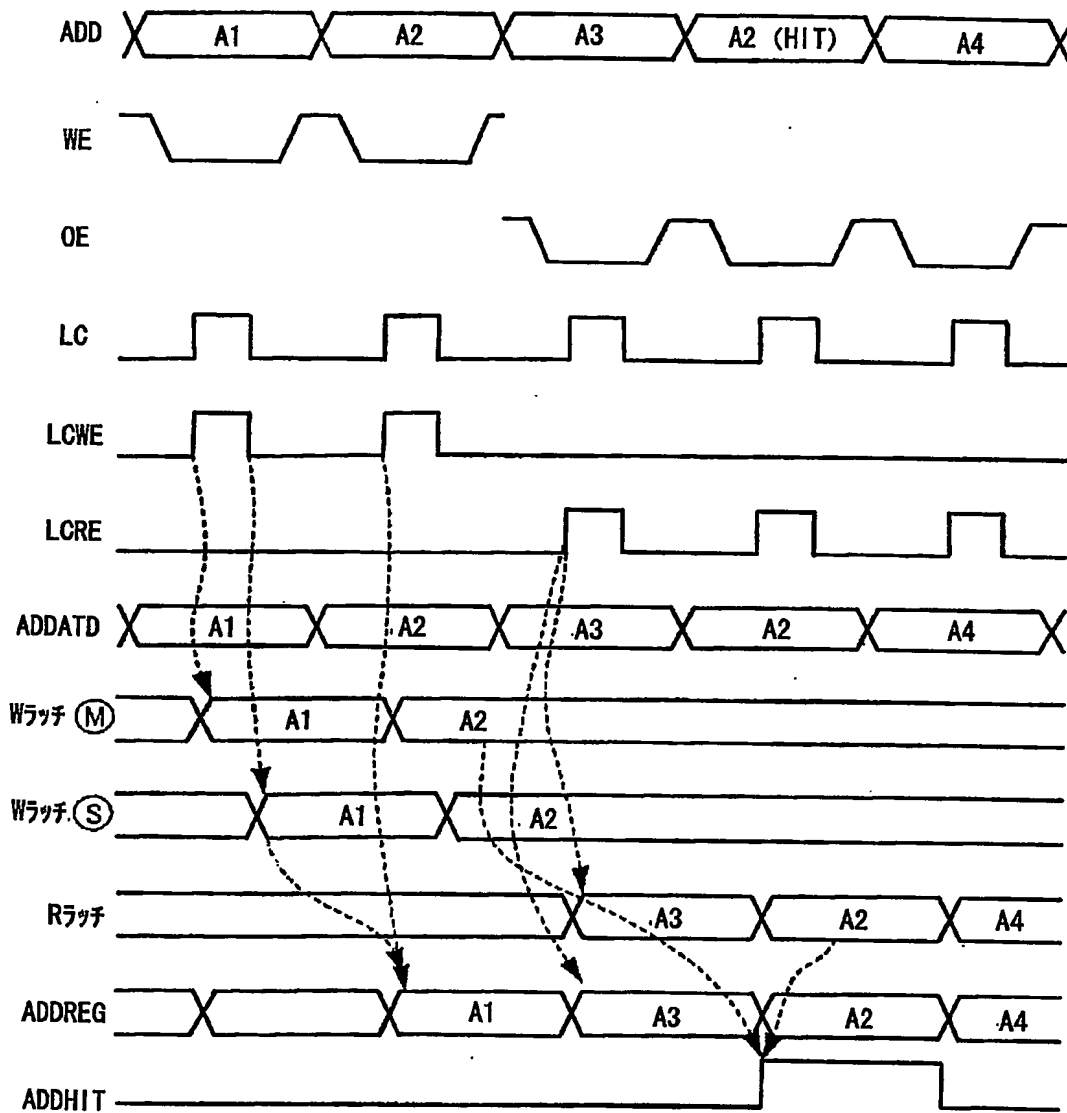


図 9

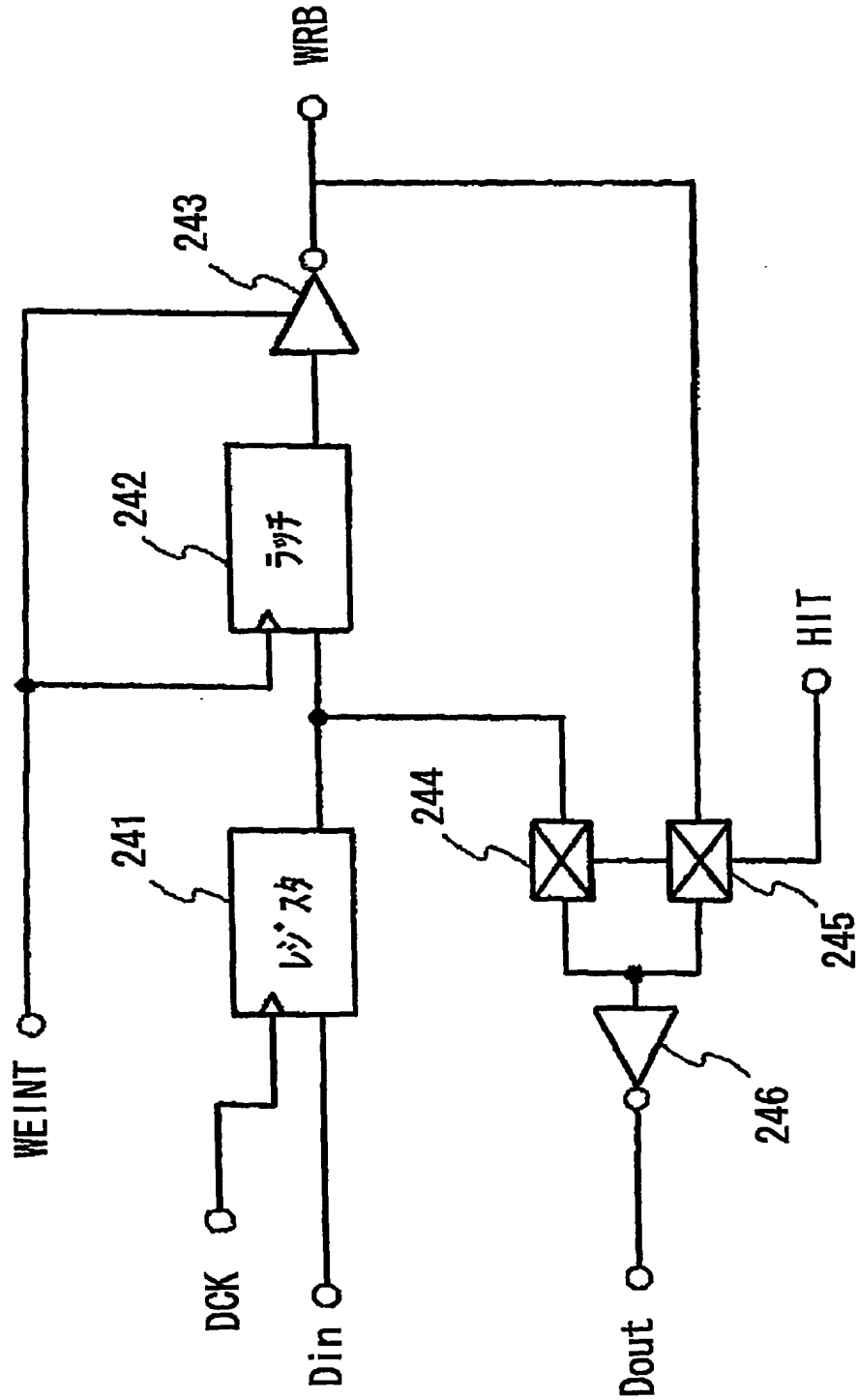


図 1 0

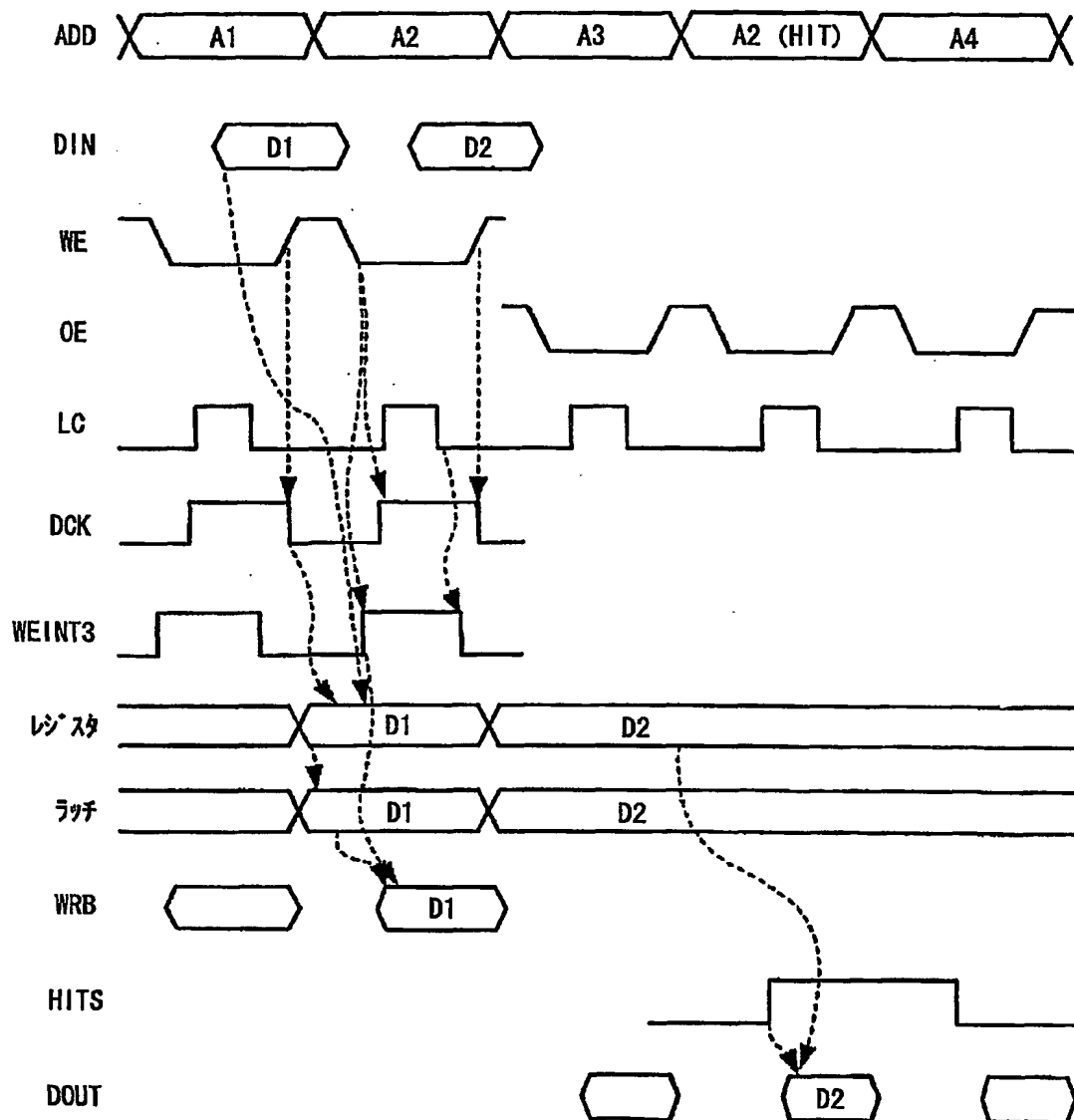


図 1 1

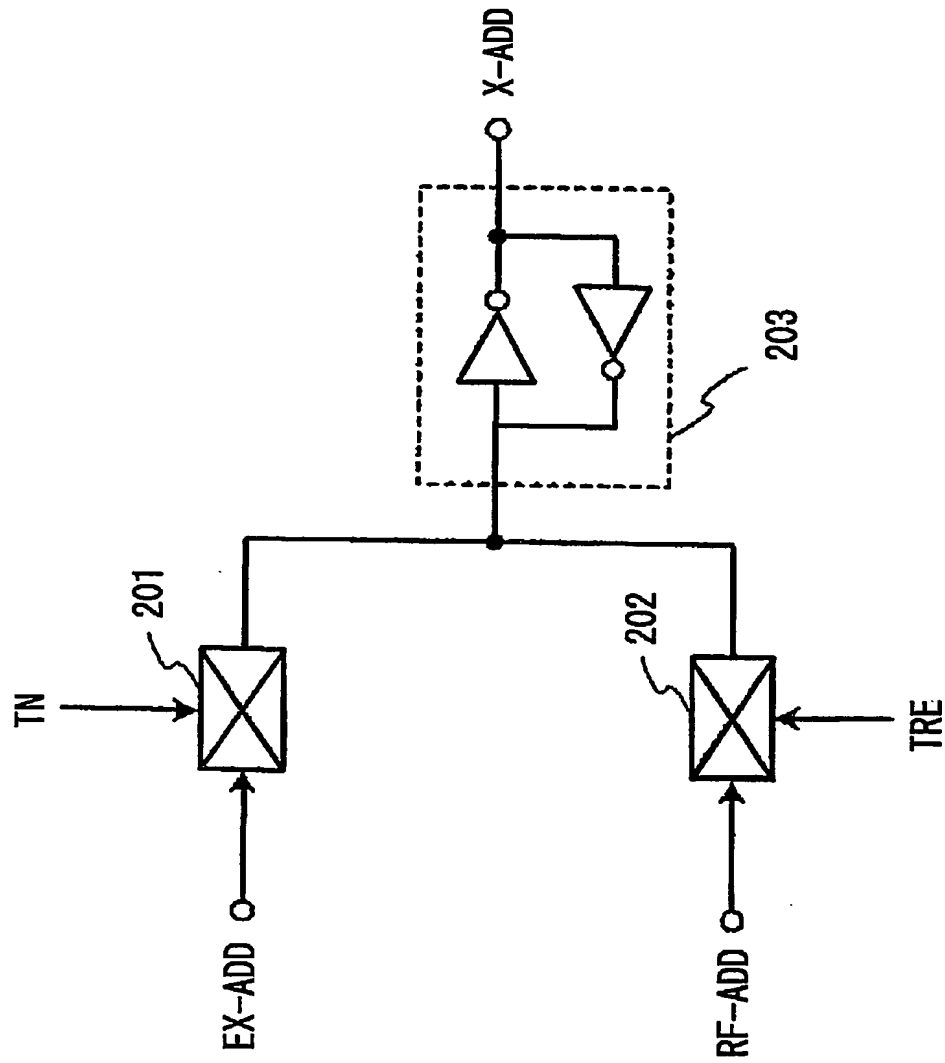


図 1 2

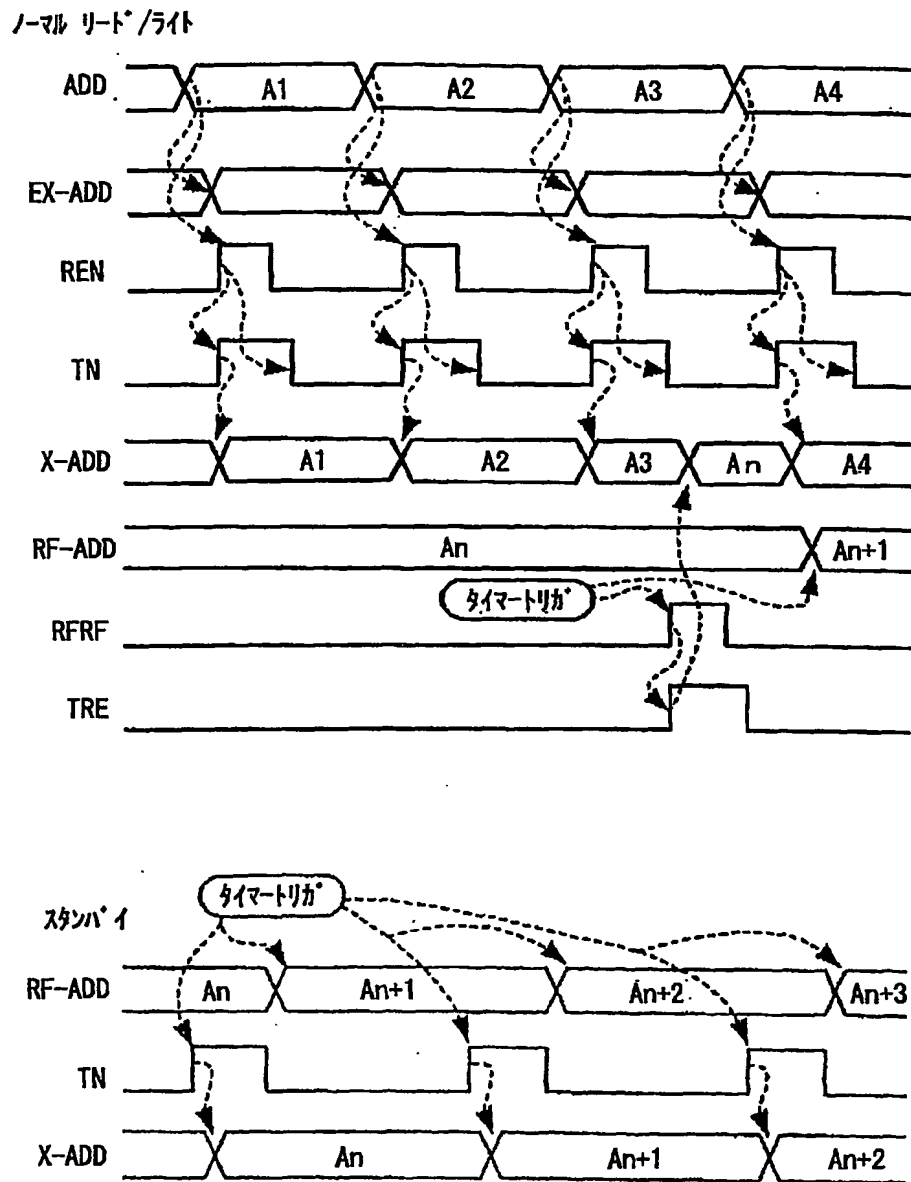


図 1 3

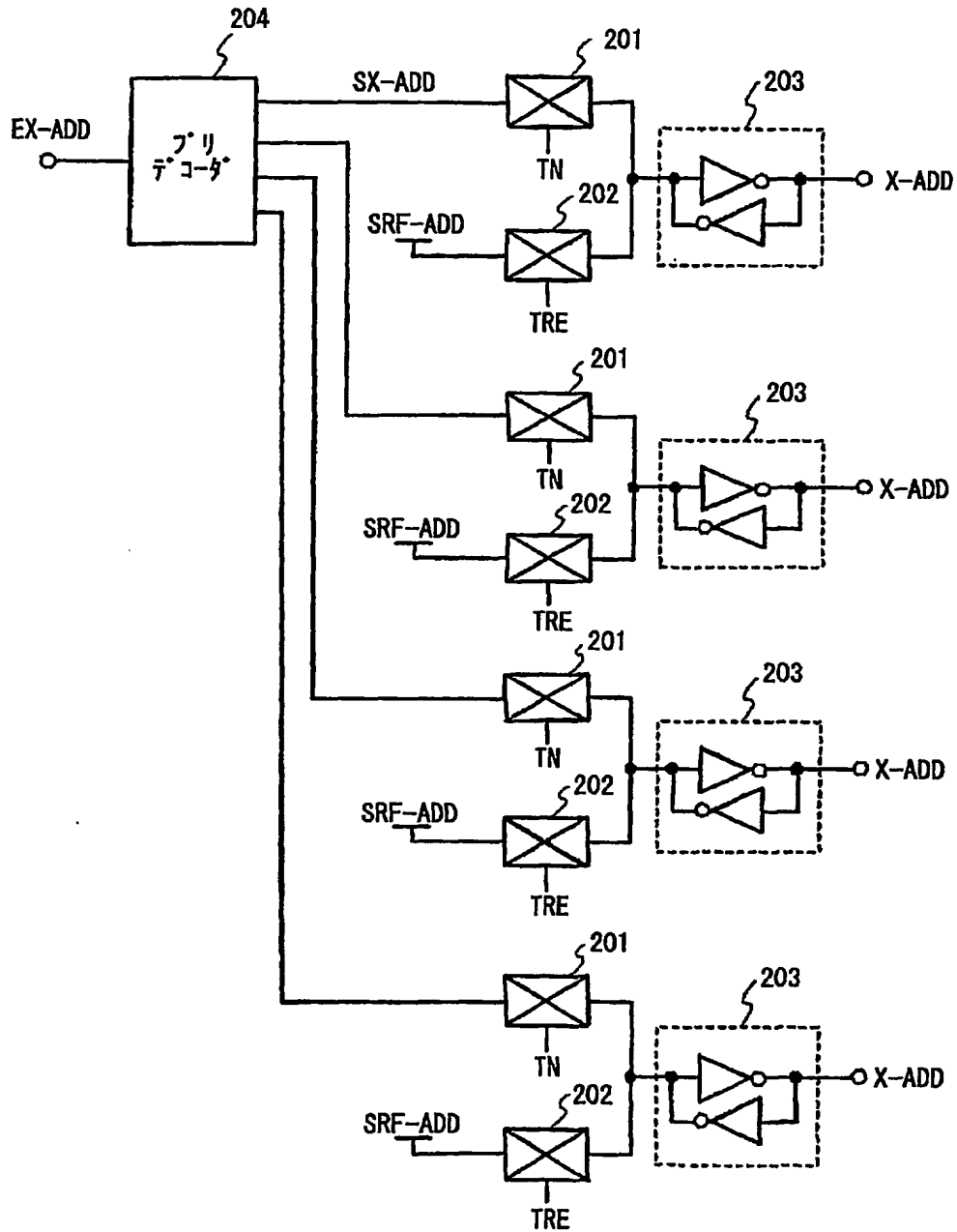


图 14

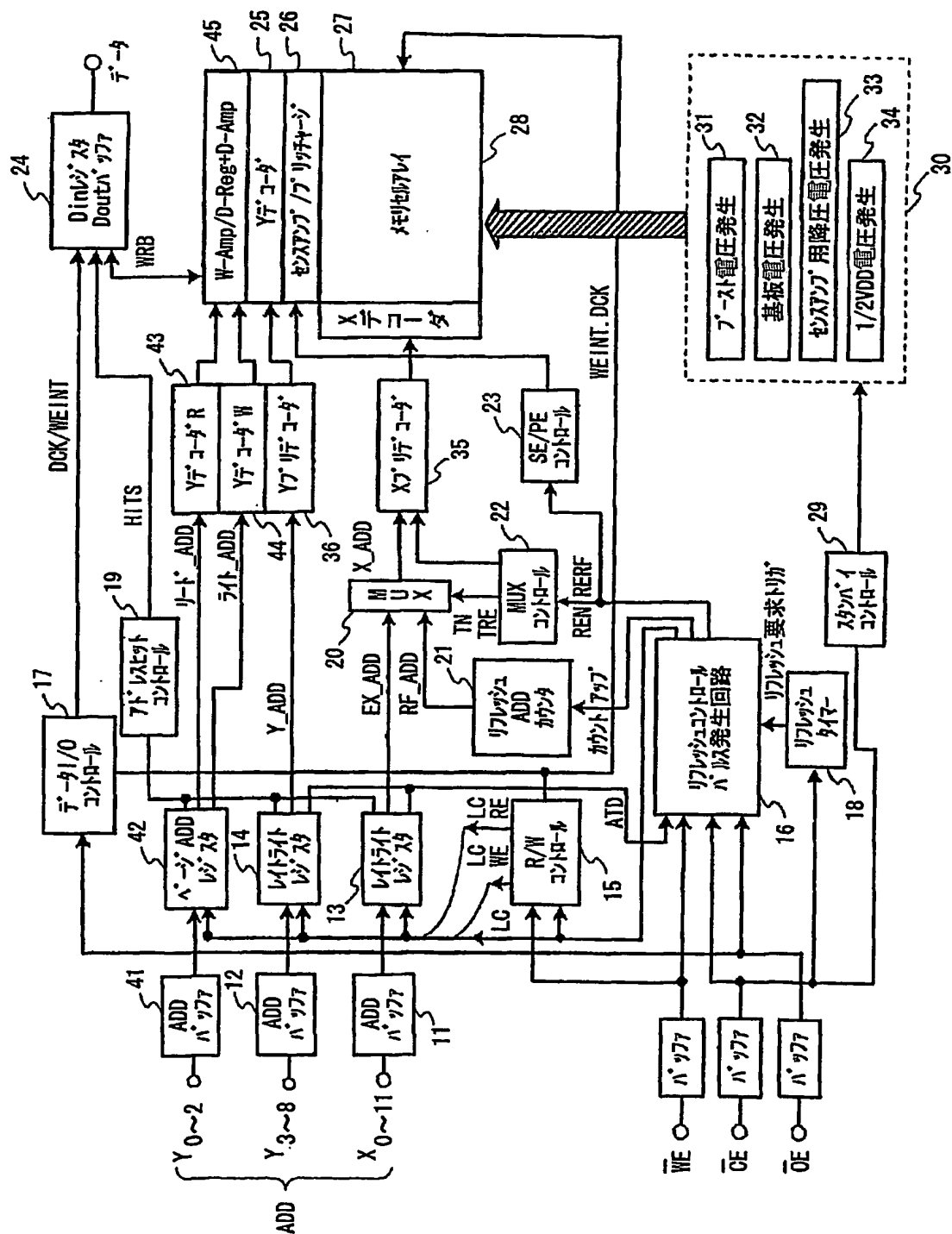


図 15

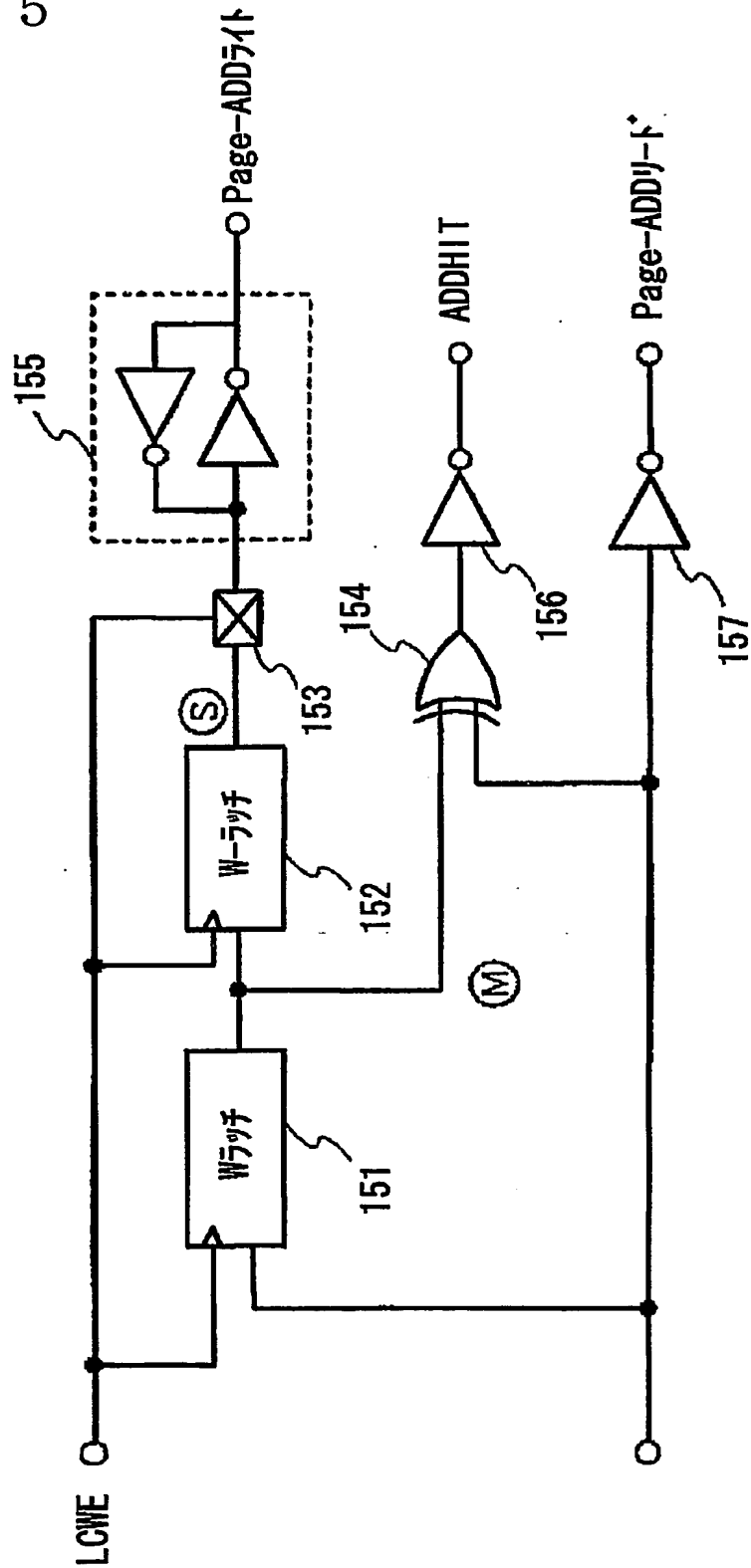


図 16

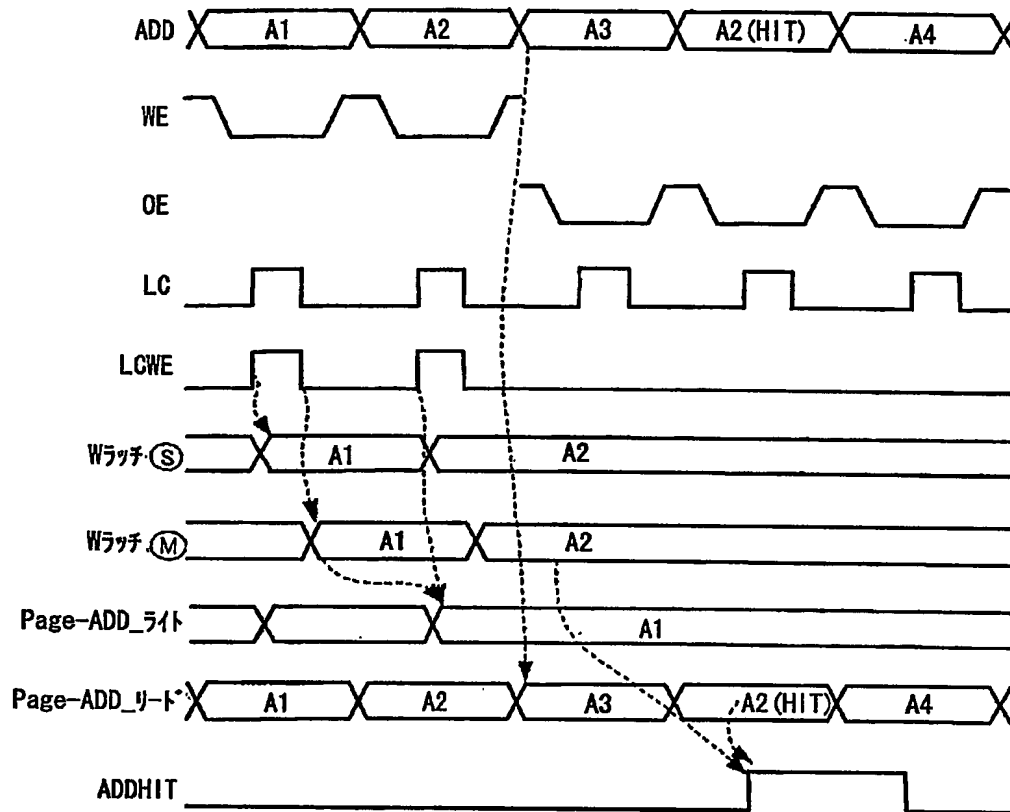
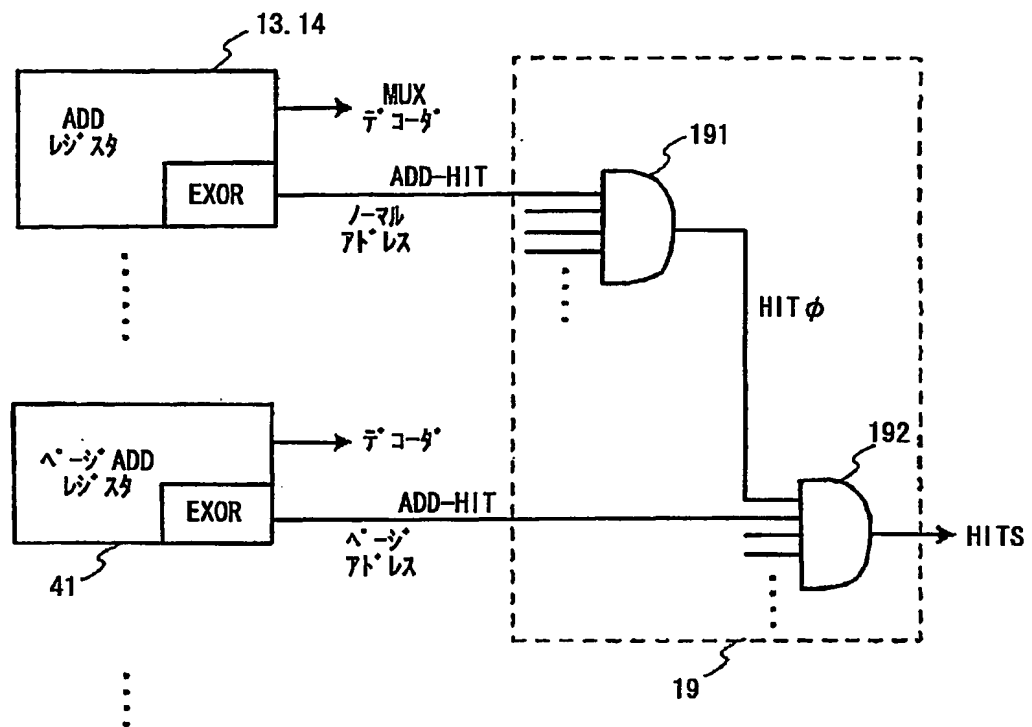


図 17



INTERNATIONAL SEARCH REPORT

International application No.

JP02/13555

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G11C11/406

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C11/40-11/4099

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-357670 A (Mitsubishi Electric Corp.), 26 December, 2001 (26.12.01), Figs. 16 to 20 (Family: none)	4, 9-19 1-3, 5-8, 20
X Y	JP 63-155494 A (Fujitsu Ltd.), 28 June, 1988 (26.06.88), Full text; all drawings & EP 273652 A2 & US 4809233 A & KR 9006953 Y & KR 9201758 B	4, 19 1, 2, 5-8, 20
Y	JP 2001-357671 A (NEC Corp.), 26 December, 2001 (26.12.01), Full text; all drawings & WO 01/078079 A1	1-3, 5-8, 20

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
04 April, 2003 (04.04.03)

Date of mailing of the international search report
22 April, 2003 (22.04.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/13555

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2-187987 A (Hitachi, Ltd., Hitachi ULSI Engineering Corp.), 24 July, 1990 (24.07.90), Figs. 3, 4 (Family: none)	2
X	US 6275437 B1 (SAMSUNG ELECTRONICS CO.), 14 August, 2001 (14.08.01), Full text; all drawings & JP 2002-25252 A & EP 1168358 A2 & US 2002/1247 A1 & CN 1331472 A	4, 19

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G11C11/406

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G11C11/40-11/4099

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2001-357670 A(三菱電機株式会社) 2001. 12. 26, 図16-20(ファミリーなし)	4, 9-19 1-3, 5-8, 20
X Y	JP 63-155494 A(富士通株式会社) 1988. 06. 28, 全文, 全図 & EP 273652 A2 & US 4809233 A & KR 9006953 Y & KR 9201758 B	4, 19 1, 2, 5-8, 20
Y	JP 2001-357671 A(日本電気株式会社) 2001. 12. 26, 全文, 全図 & WO 01/078079 A1	1-3, 5-8, 20

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

04.04.03

国際調査報告の発送日

22.04.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

須原 宏光

5 N

9057

電話番号 03-3581-1101 内線 3545

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2-187987 A (株式会社日立製作所, 日立超エル・エス・アイエン 지니어リング株式会社) 1990. 07. 24, 図3, 4 (ファミリーなし)	2
X	US 6275437 B1 (SAMSUNG ELECTRONICS CO.) 2001. 08. 14, 全文, 全図 & JP 2002-25252 A & EP 1168358 A2 & US 2002/1247 A1 & CN 1331472 A	4, 19